

ОЦЕНКА ЭФФЕКТИВНОСТИ ПРОЦЕССОРА 1967ВН028 АО «ПКК «МИЛАНДР» ПРИ ОБРАБОТКЕ РАДИОЛОКАЦИОННЫХ СИГНАЛОВ МОДУЛЕМ МОС

Дворянков Д.А., аспирант Рязанского государственного радиотехнического университета им. В.Ф. Уткина, e-mail: dvoryankov.d.a@mail.ru

Витязев С.В., к.т.н., доцент кафедры ТОР Рязанского государственного радиотехнического университета им. В.Ф. Уткина, e-mail: vityazev.s.v@tor.rsreu.ru

Рыбаков Ю.А., начальник КБ АО «Рязанский государственный приборный завод»

Андреев Н.А., к.т.н., начальник отдела АО «Рязанский государственный приборный завод»

Витязев В.В., д.т.н., заведующий кафедрой ТОР Рязанского государственного радиотехнического университета им. В.Ф. Уткина, e-mail: vityazev.v.v@rsreu.ru

EVALUATION OF THE EFFICIENCY OF THE 1967VN028 PROCESSOR OF JSC «ICC MILANDR» IN THE PROCESSING OF RADAR SIGNALS BY THE MOS MODULE

Dvoryankov D.A., Vityazev S.V., Rybakov U.A., Andreev N.A., Vityazev V.V.

This work is devoted to the implementation of one of the typical algorithms of radar signal processing— optimal linear frequency modulated pulse reception – on the 1967VN028 processor manufactured by JSC "ICC "Milander" and the digital signal processing module manufactured by JSC "State Ryazan Instrument Plant". The description of the algorithm, processor and module is given. The functions implementing the algorithm are optimized. The data on the implementation time of all processing stages are given. The results obtained are compared with known solutions. The purpose of the work is to demonstrate the efficiency of processors and modules of domestic production for solving typical radar tasks.

Key word: Digital signal processor; radar signal processing; signal processing implementation; 1967VN028.

Ключевые слова: Цифровой сигнальный процессор, обработка радиолокационных сигналов, реализация сигнальной обработки, процессор 1967ВН028.

Введение

Эволюция процессоров и модулей цифровой обработки сигналов, направленная на увеличение вычислительной производительности, миниатюризацию и повышение экономичности, идет быстрыми темпами. Разработчики электронной аппаратуры вынуждены следить за развитием вычислительной элементной базы, чтобы создавать продукты, отвечающие современному уровню. В последние годы особо остро встал вопрос разработки электронной аппаратуры для ответственных задач на базе отечественной элементной базы.

Российские производители в настоящее время предлагают достаточно широкий выбор процессоров, различных по своим архитектурным основам, особенностям применения, своей истории и конечно характеристикам. Одним из отечественных производителей, снискавших заслуженное доверие разработчиков, является АО «ПКК «Миландр» (г. Зеленоград). Для применения в задачах цифровой обработки радиолокационных сигналов эта организация выпускает линейку процессоров 1967ВНxxx, базирующуюся на архитектуре сигнального процессора, близкого к архитектуре TigerSHARC фирмы Analog Devices, которая появилась на рынке в начале 2000-х годов и нашла широкую популярность у отечественных разработчиков.

Появление процессоров 1967ВНxxx вызывает есте-

Данная работа посвящена реализации одного из типовых алгоритмов цифровой обработки радиолокационных сигналов – оптимального приема импульса с линейной частотной модуляцией – на процессоре 1967ВН028 производства АО «ПКК «Миландр» и модуле цифровой обработки сигналов производства АО «Государственный рязанский приборный завод». Приводится описание алгоритма, процессора и модуля. Функции, реализующие алгоритм, оптимизируются. Приводятся данные о времени реализации всех этапов обработки. Полученные результаты сравниваются с известными решениями. Целью работы является демонстрация эффективности процессоров и модулей отечественного производства для решения типовых радиолокационных задач.

ственные вопросы об их эффективности и целесообразности применения в сопровождаемых и перспективных радиолокационных комплексах. С целью получения ответа на поставленные вопросы АО «Государственный рязанский приборный завод» (г. Рязань) провело разработку модулей цифровой обработки сигналов (МОС), представляющих собой многопроцессорные системы, базирующиеся на четырех процессорах 1967ВН028. Было принято решение провести тестирование МОС на типовых радиолокационных алгоритмах, что позволило бы проанализировать возможность замены используемых процессорных элементов новыми в текущих и новых разработках.

В качестве таких алгоритмов были выбраны методики, описанные в [1-3], и реализующие оптимальный прием в типовых радиолокационных станциях. Работы хорошо подходят для открытого анализа эффективности предлагаемых решений и сравнения вычислительных средств между собой.

Далее в статье рассматриваются следующие вопросы.

Описывается выбор контрольной задачи, и алгоритм обработки формализуется; описывается архитектура процессора 1967ВН028 и средства работы с ним; приводится структурная схема МОС и предлагается механизм распараллеливания обработки в многопроцессорной системе; проводится разработка и оптимизация программного обеспечения; приводятся оценки времени выполнения каждого этапа алгоритма и решения задачи в целом; проводится анализ эффективности МОС и сравнение с известными решениями.

Следует отметить, что за основу взяты работы 20-летней давности; также и прототипом рассматриваемого процессора является технология начала 2000-й годов, в связи с чем читатель может сказать, что статья не несет актуальной информации. Заметим на это, что теоретические основы построения радиолокационных комплексов, а также реализующих их аппаратных модулей, несмотря на желание дополнить их новыми более современными функциональными возможностями, в основе своей строятся на прежних принципах. Считаем, что выбранные тесты, доступные в открытой печати, остаются актуальными и в достаточной мере иллюстрируют особенности той или иной аппаратной платформы. В будущем надеемся увидеть большее число работ, использующих аналогичные тесты при анализе эффективности других вычислительных средств. В частности, АО «ПКК «Миландр» разрабатывает систему на кристалле той же платформы 1967ВНxxx, но ориентированную на более современные технологии, работающую на тактовых частотах до 1 ГГц и включающую несколько вычислительных ядер [4].

Выбор контрольной задачи

Оценку эффективности процессора обработки сигналов и модуля на его основе целесообразно проводить на примере решения некоторой контрольной задачи. Такая задача должна быть типовой для рассматриваемого класса систем; должна включать процедуры, общие для широкого набора схожих задач; описание задачи должно быть изложено в открытой печати; желательно наличие результатов решения контрольной задачи альтернативными средствами.

В связи с выше сказанным, в качестве контрольной задачи мы выберем типовой алгоритм обработки радиолокационных сигналов, строящийся на основе цифровой оптимальной фильтрации с последующим обнаружением и измерением координат целей, описанный в работах [1-3]. Указанные работы взяты за основу как одни из немногих хороших примеров реализации типовых алгоритмов обработки, представленных в открытой печати. Несмотря на то, что работы датированы началом 2000-х годов, они остаются актуальными по настоящее время. Результаты, полученные в работах, целесообразно широко использовать для сопоставления эффективности различных вычислительных средств в задачах цифровой обработки радиолокационных сигналов.

В работах [1-3] рассматривается обработка трех общераспространенных типов сигналов: сигнала с линейной частотной модуляцией (ЛЧМ); сигнала с фазовой кодовой манипуляцией (ФКМ) и квазинепрерывного (КН)

сигнала. В данной работе мы ограничимся реализацией обработки ЛЧМ-сигнала с параметрами, представленными в табл. 1. Обоснование выбора параметров и более полное описание постановки задачи с позиции радиолокации могут быть найдены в [1-3]. Задачей данной работы является сопоставление вычислительных платформ.

Таблица 1. Параметры сигнала и алгоритма обработки

Наименование параметра	Единица измерения	Значение параметра
Тип сигнала	-	ЛЧМ-импульс
Период зондирования	мс	1
Длительность импульса	мкс	50
Полоса сигнала	МГц	2
Однозначный диапазон обрабатываемых дальностей	км	100
Время наблюдения	мкс	630
Частота поступления входных комплексных отсчетов	МГц	10
Алгоритм обработки	-	Секционированная свёртка
Длина секции	-	1024
Число секций	-	12
Размерность БПФ	-	1024
Число каналов по дальности	-	6300
Число каналов по скорости	-	1
Полное число каналов	-	6300

Алгоритм цифровой обработки радиолокационного сигнала

В типичной радиолокационной задаче требуется сформировать набор оптимальных фильтров, перекрывающих заданный диапазон задержек и доплеровских частот отраженных сигналов [2]. Матрица выходных значений фильтров формирует выходную информацию – матрицу дальность-скорость. Блок-схема алгоритма обработки приведена на рис. 1.

На обработку поступают комплексные числа с частотой дискретизации F_d , сформированные на этапе преобразования сигнала в цифровую форму:

$$\dot{x}_{\text{ex}}(n) = \dot{x}_{\text{ex}}(0), \dot{x}_{\text{ex}}(1), \dots, \dot{x}_{\text{ex}}(N_H - 1), \quad (1)$$

где $N_H = T_H/F_d$ – время наблюдения входного сигнала, выраженное в числе дискретных отсчетов (T_H – то же время выраженное в секундах). Сигнал $\dot{x}_{\text{ex}}(n)$ является комплексным. Выборки сигнала $\dot{x}_{\text{ex}}(n)$ представлены в формате с фиксированной запятой 14-разрядными кодами.

Время наблюдения N_H зависит от режима работы РЛС и в общем случае может быть достаточно большим. В частности, при выбранных параметрах алгоритма, указанных в табл. 1, $N_H = 6300$ комплексных отсчетов сигнала. С целью экономии пространства внутренней памяти процессора, а также для обеспечения возможности параллельной обработки данного сигнала несколькими процессорами входной сигнал разбивается на секции. Длина секции выбрана равной 1024 комплексных отсчета. Разбиение на секции производится в соответствии с выражением:

$$\dot{x}_{\text{ср}}^l(i) = \dot{x}_{\text{ср}}(l \cdot (L - N_u + 1) + i), \quad (2)$$

где $l = 0, 1, \dots, N_c - 1$ – это номер секции; L – длина секции; N_u – длительность ЛЧМ-импульса (то есть длительность импульсной характеристики согласованного фильтра), выраженная в числе дискретных отсчетов; $N_c = \lfloor N_u / (L - N_u + 1) \rfloor$ – количество секций; $\lfloor x \rfloor$ означает взятие наименьшего целого числа, большего x . Таким образом, секционирование производится с перекрытием, чтобы сохранить правильность результатов на стыках секций, а общее число секций в рассматриваемом примере равно 12.

Далее обработка производится отдельно для каждой секции l . Первым подготовительным этапом обработки секции данных является преобразование формата входных чисел из формата с фиксированной запятой в формат 32-разрядной плавающей запятой с одинарной точностью. В результате в каждой секции имеем сигнал:

$$\dot{x}_{\text{ср_плз}}^l(i) = \dot{x}_{\text{ср_плз}}^l(0), \dot{x}_{\text{ср_плз}}^l(1), \dots, \dot{x}_{\text{ср_плз}}^l(L-1). \quad (3)$$

Оптимальная фильтрация может производиться различными способами. Как показано в [2], при использовании в качестве зондирующего сигнала ЛЧМ-импульса, число каналов дальности обычно существенно превышает число каналов скорости, и преимущественным является алгоритм согласованной фильтрации, реализуемый в частотной области.



Рис. 1. Блок-схема алгоритма обработки сигнала

Вычисляется спектр входного сигнала с помощью быстрого преобразования Фурье (БПФ):

$$\dot{X}_{\text{БПФ}}^l(k) = FFT\{\dot{x}_{\text{ср_плз}}^l(i)\}. \quad (4)$$

Полученный спектр перемножается с частотной характеристикой фильтра:

$$\dot{Y}^l(k) = \dot{X}_{\text{БПФ}}^l(k) \cdot \dot{S}(k). \quad (5)$$

При этом частотная характеристика согласованного фильтра, как известно, является комплексно-сопряженным и зеркально отраженным спектром исходного зондирующего ЛЧМ-импульса, умноженным на весовое окно с целью уменьшения уровня боковых лепестков [5].

Следующий этап обработки реализует обратное быстрое преобразование Фурье (ОБПФ)

$$\dot{y}_{\text{ОБПФ}}^l(i) = IFFT\{\dot{X}_{\text{БПФ}}^l(k)\}. \quad (6)$$

Последним этапом согласованной фильтрации является вычисление модулей комплексных отсчетов на выходе ОБПФ, реализуемое в соответствии с выражением:

$$A^l(i) = |\dot{y}_{\text{ОБПФ}}^l(i)|^2. \quad (7)$$

Обнаружение сигналов целей производится по-прежнему независимо в каждой секции, но только для полезных отсчетов, число которых составляет $L_n = L - N_u + 1$. Используется алгоритм пороговой обработки со стабилизацией вероятности ложных тревог [2]. Выбор порога осуществляется в соответствии с выражением:

$$H^l(i) = \begin{cases} \frac{h}{W} \cdot \sum_{k=i-\frac{W}{2}}^{k=i+\frac{W}{2}} \min\left\{A^l\left[k + \frac{G}{2}\right], A^l\left[k - \frac{G}{2}\right]\right\}, \\ npu \quad \frac{W+G}{2} \leq i \leq L_n - \frac{W+G}{2}, \\ H\left(\frac{W+G}{2}\right), npu \quad i < \frac{W+G}{2} \\ H\left(L_n - \frac{W+G}{2}\right), npu \quad i \geq L_n - \frac{W+G}{2}. \end{cases} \quad (8)$$

Здесь W – это ширина окна усреднения; G – ширина окна, отделяющего шум от сигнала; h – коэффициент, определяемый заданной вероятностью ложных тревог (относительное пороговое значение).

Далее производится сама пороговая обработка в соответствии с выражением:

$$I^l(j) = i + l \cdot L_n, \quad i = 0, 1, \dots, L_n - 1, \quad j = 0, 1, \dots, J - 1. \quad (9)$$

Выражение (9) создает массив индексов, в которых обнаружены цели с учетом номеров секций. J – это число элементов, в которых превышен порог.

Далее информация от различных целей объединяется в единые массивы амплитуд целей:

$$A(l \cdot L_n + i) = A^l(i), \quad (10)$$

$$i = 0, 1, \dots, L_n - 1; \quad l = 0, 1, \dots, N_c - 1$$

и индексов положений целей:

$$I(l \cdot J^l + j) = I^l(j), \quad (11)$$

$$j = 0, 1, \dots, J^l; \quad l = 0, 1, \dots, N_c - 1.$$

Следующим этапом реализуется формирование связанных областей и измерение координат целей. При этом формируется новая матрица целей $R[M \times 3]$. В этой матрице M строк соответствуют обнаруженным связным областям целей. В каждой строке матрицы для каждой цели записываются начальный индекс, конечный индекс и индекс дальности до цели.

На этапе формирования связанных областей смежные отметки от цели объединяются в одну область цели по следующему правилу: если все $A(i_{\min}) \dots A(i_{\max})$ больше порога, а $A(i_{\min}-1)$ и $A(i_{\max}+1)$ меньше порога, то такая область относится к одной цели. Таким образом, на данном этапе:

- 1) перебирается массив индексов целей;
- 2) пока соседние индексы отличаются на 1, считается, что это одна цель; ее начальный индекс записывается в элемент матрицы целей $R[m, 1]$;
- 3) когда различие между соседними индексами оказывается больше 1, последний индекс цели записывается в элемент матрицы целей $R[m, 2]$ и номер цели m увеличивается на 1.

На этапе измерения координат целей рассчитывается индекс дальности до цели и записывается в элемент $R[m, 3]$. Дальность рассчитывается по следующему правилу. Для m -й цели на интервале $i_{\min}^m \dots i_{\max}^m$ находится элемент массива $A(i)$ с максимальным значением A_{\max}^m . Его индекс i_A^m в основном определяет дальность до цели, однако, вносится поправка вида

$$e^m = \frac{A_{i_{\min}^m}^m - A_{i_{\max}^m}^m}{A_{\max}^m}$$

В итоге в элемент $R[m, 3]$ записывается дробное значение $i_A^m + e^m$.

Матрица целей R , а также массив амплитуд целей A являются результатом реализации алгоритма. Обработка на этом заканчивается.

Модуль цифровой обработки сигналов МОС на процессоре 1967ВН028 Процессор ЦОС 1967ВН028

Цифровой процессор обработки сигналов (ЦПОС) 1967ВН028 производства АО «ГПК «Миландр» в настоящее время является одним из немногих отечественных решений, ориентированных на задачи ЦОС. Процессор можно считать продолжателем известной линейки сигнальных процессоров TigerSHARC фирмы Analog Devices [6], выпущенных на рынок в начале 2000-ых годов, завоевавших широкую и заслуженную популярность среди отечественных разработчиков, но переставших развиваться и поддерживаться фирмой Analog Devices спустя несколько лет после выпуска. Фирма «Миландр» взяла за основу данную архитектуру и разработала свою линейку процессоров 1967ВНxxx, включающую на момент написания статьи две модели: более производительный процессор 1967ВН028 и более универсальный процессор 1967ВН044.

В соответствии с [7] процессор 1967ВН028 включает в свой состав двойное операционное ядро на основе стандартного набора вычислительных блоков: умножитель, арифметико-логическое устройство, сдвигатель и генератор адреса данных, работающие с числами в формате как с фиксированной, так и с плавающей точкой на тактовой частоте 450 МГц (рис. 2). Внутренняя память типа SRAM работает на частоте ядра и имеет объем 24 Мбита, не требуя промежуточных блоков кэш. Процессор работает как в SIMD, так и в VLIW-режимах.

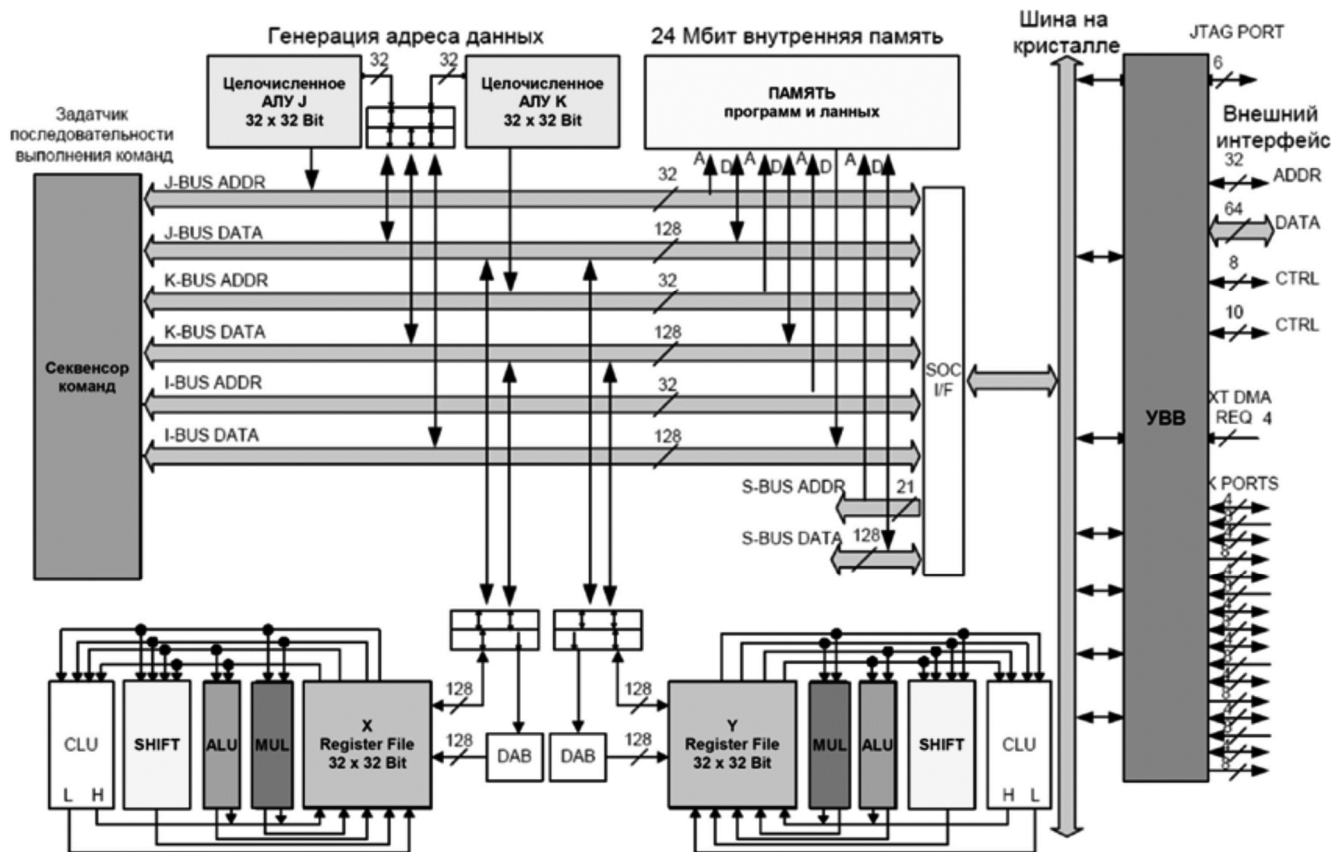
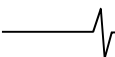


Рис. 2. Упрощенная структура процессора 1967ВН028



Секвенсор команд является статическим суперскалярным, динамически распределяя потоки инструкций по исполнительным элементам на основе информации о распараллеливании, сформированной в процессе компиляции кода [8].

Кроме быстродействующей внутренней памяти, процессор 1967BH028 отличают от TigerSHARC возможность выполнения вдвое большего числа умножений и сложений за такт в формате с плавающей точкой; поддержка полноценного формата с плавающей точкой двойной точности стандарта IEEE-754; расширенный набор инструкций блока CLU (Communication Logic Unit); модифицированная система команд процессора (с сохранением обратной совместимости) и ряд других особенностей [8]. Тактовые частоты ядра и кластерной шины меньше приблизительно в 1,3/1,5 раза, однако производительность, выраженная в числе умножений-сложений в формате с плавающей точкой больше в 2 раза за счет приведенных выше отличий [7].

АО «ПКК «Миландр» совместно с компанией «АстроСофт» ведет разработку собственной среды разработки для процессоров 1967BHxxx CM-LYNX. Актуальная версия данной среды в момент написания статьи: CM-LYNX 2.1.0 [9]. Обновления среды производятся регулярно. Имеются библиотеки функций ЦОС и математических преобразований [10]. Разработана операционная система реального времени [11] и ряд других программных и аппаратных инструментальных средств поддержки процессоров.

В целом, процессор 1967BH028 представляется надежным, простым и заслуживающим доверия решением в тех применениях, которые не требуют сверхбольших скоростей обработки. Более современная элементная база использует многоядерные гетерогенные системы на кристалле, включающие GPU-, GPP- и другие типы ядер, ориентируясь на применение в интеллектуальных системах завтрашнего дня. В отличие от них процессор 1967BH028 идеально подходит для традиционных задач ЦОС. Вместе с тем, АО «ПКК «Миландр» продолжает развивать линейку данных процессоров, отвечая современному уровню технологии.

Модуль МОС

Возможность применения процессора 1967BH028 в бортовых вычислительных радиолокационных комплексах обеспечивает модуль обработки сигналов МОС производства АО «ГРПЗ».

Модуль обработки сигналов МОС ЗС003 предназначен для решения задач цифровой сигнальной обработки радиолокационной информации в составе специализированных вычислительных комплексов. Структура модуля, сочетающая высокую производительность вычислительных устройств на основе цифровых процессоров обработки сигналов 1967BH028 АО «ПКК «Миландр» и гибкость устройства ввода-вывода данных, позволяет реализовать широкий спектр алгоритмов обработки цифровых сигналов, включая цифровую фильтрацию и двумерную обработку изображений.

На плате модуля обработки сигналов размещены 4 сигнальных процессора 1967BH028, ОЗУ, флэш-

память, системный контроллер, тактовый генератор, стабилизаторы напряжения и вспомогательные узлы. Структурная схема МОС приведена на рис. 3.

В качестве оперативной памяти применено синхронное динамическое ОЗУ (СДОЗУ), выполненное на 8 микросхемах MT48LC32M16A2TG-75IT фирмы Micron. Общий объем СДОЗУ составляет 512 Мбайт. Процессоры и СДОЗУ разделены на два кластера. Каждый кластер содержит два процессора и 256 Мбайт СДОЗУ, соединенных 64-разрядной шиной, работающей на частоте 100 МГц.

Данные, поступающие по входным шинам LVDS, являются доступными для всех 4 процессоров и одновременно могут подаваться на выходные шины LVDS для совместной обработки данных несколькими модулями обработки сигналов.

Флэш-память реализована на микросхеме EPCS64SI16N фирмы Altera. Флэш-память соединена с системным контроллером последовательным интерфейсом. Объем флэш-памяти составляет 2 Мбайт.

Контроллеры шин обоих кластеров, контроллер системной шины CompactPCI, контроллер флэш-памяти, контроллер интерфейсов LVDS и т.д. объединены в системный контроллер. Для реализации контроллера применена программируемая логическая интегральная схема с загружаемой конфигурацией семейства Stratix II EP2S60F1020I4 фирмы Altera. Для загрузки конфигурации в эту программируемую логическую интегральную схему применяется специализированное ПЗУ EPCS64SI16N фирмы Altera.

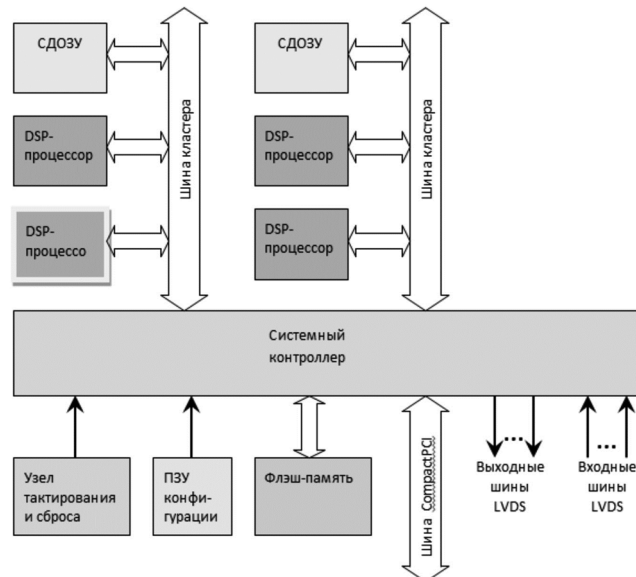


Рис. 3. Структурная схема МОС

Для выработки и распределения тактовых частот, обеспечения сброса по включению питания или по системному сигналу «СБРОС» на плате МОС расположены дополнительные элементы. Функционально эти элементы можно объединить в узел тактирования и сброса.

Для питания низковольтных микросхем применены импульсные стабилизаторы напряжения на основе микросхем LTC3418EUNFPBF фирмы Linear Technology. Основная особенность этих микросхем – высокий КПД, низкое энергопотребление и миниатюрное конструктив-

ное исполнение. Применение кварцевого генератора SG 8002JF фирмы «Epson» для формирования тактовой частоты обусловлено обеспечением требуемых характеристик по стабильности частоты.

Программное обеспечение МОС ЗС003 включает следующие компоненты:

- системную библиотеку функций управления устройствами модуля;
- тестовое программное обеспечение для проверки работоспособности устройств модуля;
- драйвер интерфейса PCI для операционной системы реального времени MCBC-P;
- тестовое программное обеспечение для проверки обмена данными между управляющим процессором и модулем ЗС003 по интерфейсу PCI.

Модуль обработки сигналов МОС ЗС003 имеет высокую производительность и малые габариты. Функциональные связи и структура каналов ввода-вывода модуля позволяют принимать оцифрованный поток данных по четырем позиционным каналам от радиолокационного (РЛ) приемника, распределять поступающий поток данных между несколькими модулями МОС. Модуль обеспечивает параллельную обработку данных как сигналами процессорами одного модуля, так и несколькими модулями МОС. Управление модулем МОС выполняется модулем управляющего процессора по шине CompactPCI. Возможно формирование и непосредственная выдача модулем МОС изображения на модуль графического контроллера в режиме прямого доступа в память (ПДП) по шине CompactPCI.

Модуль МОС предназначен для использования в составе малогабаритных вычислительных комплексов бортовых РЛС, объединяющих в едином конструктивном блоке устройства аналого-цифрового преобразования и обработки радиолокационной информации, а также устройства управления блоками РЛ комплекса.

Реализация контрольной задачи на МОС

Несмотря на то, что в решении задач обработки сигналов, как правило, участвуют все вычислительные модули вычислительного комплекса, в рамках данной работы рассматривается решение задачи одним модулем МОС. При необходимости, полученные в работе результаты могут легко быть промасштабированы на большее число элементов. При этом более высокий уровень распараллеливания задачи является преимуществом, уменьшая требуемое число точек синхронизации процессоров и обмена данными между ними. Мы будем придерживаться принципов, аналогичных рассмотренным в [3].

Поток входных данных с АЦП распределяется устройством ввода-вывода на 4 процессорных элемента модуля. При этом весь кадр входных данных размером 6300 дискретных отсчетов направляется в кластерную память процессоров, то есть входные данные дублируются.

Далее каждый процессорный элемент производит обработку своего набора секций входных данных в соответствии с алгоритмом, описанным выше. При реализации согласованной фильтрации ЛЧМ-импульса сигнал разбивается на секции длиной 1024 отсчета. Каждый из процес-

сорных элементов отвечает за обработку своего набора секций. При числе секций 12 и числе процессорных элементов 4 каждый процессор обрабатывает по 3 секции.

Результаты пороговой обработки объединяются в одном массиве в памяти 0-го процессора. Алгоритмы вторичной обработки слабо распараллеливаются, поэтому они реализуются одним процессорным элементом. При этом остальные процессоры простаивают, но время реализации данной обработки существенно меньше времени первичной обработки и этим недостатком можно пренебречь.

Кратко опишем процесс разработки программных кодов алгоритма обработки сигнала.

Преобразование формата данных сводится к чтению элементов массива, приведению к формату `complex_float` и обратной записи в память. Время обработки на этом этапе составило 2158 тактов или около 5 мкс. Процедура написана на ассемблере с целью повышения быстродействия и основана на циклическом повторении обращений в память в сочетании с командой `"XYFR0 = FLOAR R0 (NF)"` преобразования формата.

Функции БПФ и ОБПФ реализуются с помощью библиотеки ЦОС, входящей в состав среды CM-LYNX версии 2.0.0 [10]. Функция `cfftf()` реализует модифицированный алгоритм БПФ/ОБПФ, время реализации которого для размерности преобразования 1024 составляет 6637 тактов.

Перемножение спектров в силу недостаточной эффективности оптимизирующего компилятора написано на языке ассемблера. В основу цикла перемножения положено ядро, включающее 8 команд, в которых обрабатываются 8 комплексных отсчетов входного сигнала. Задействованы обе вычислительные секции операционного ядра процессора. Кроме того, используются команды двойных умножений в SIMD-режиме: `"xySFR1:0 = R7:6 * R5:4"`. Каждая такая команда выполняет четыре 32-разрядных умножения в формате с плавающей точкой. Выполнено разворачивание цикла в 4 раза в целях исключения простоев командного конвейера из-за зависимостей между последовательными командами. В каждой из восьми строк тела цикла выполняются четыре умножения. Время выполнения процедуры составляет 1058 тактов, что близко к оптимуму.

Считая данную процедуру одной из типовых, целесообразно привести оптимизированный код для нее – рис. 4 (приведен только код ядра цикла обработки). Описание методик разработки и оптимизации программных кодов DSP-процессоров может быть найдено в [12, 13].

Вычисление квадрата модуля также реализовано на языке ассемблера. Подход к разработке кода аналогичен процедуре перемножения спектров. Время реализации составило 1089 тактов.

Процедура обнаружения использует адаптивный порог, в связи с чем, включает большое число операций сравнения и ветвлений, существенно усложняющих оптимизацию кода. На данном этапе получено время реализации 17895 тактов. Процедура может быть дополнительно оптимизирована, но все равно останется наиболее затратной по времени выполнения при выбранном алгоритме реализации.

```
// Основной цикл перемножения массивов комплексных элементов -----
.align_code 4;
.P1L7:
xySFR1:0 = R7:6 * R5:4; xyFR23 = R19 + R18; yxR11:10 = q[J4 += 4]; q[K6 += 4] = yxR1:0;;
xySFR15:14 = R7:6 * R5:4 (mX); yxR7:6 = q[J4 += 4]; yxR5:4 = q[K5 += 4]; xyFR22 = R2 - R3;;
xyFR0 = R0 - R1; xySFR19:18 = R11:10 * R9:8 (mX); q[K6 += 4] = yxR23:22;;
xySFR3:2 = R11:10 * R9:8; xyFR1 = R14 + R15; yxR11:10 = q[J4 += 4]; yxR9:8 = q[K5 += 4];;
xySFR1:0 = R7:6 * R5:4; xyFR23 = R18 + R19; q[K6 += 4] = yxR1:0;;
xyFR22 = R2 - R3; xySFR15:14 = R7:6 * R5:4 (mX); yxR5:4 = q[K5 += 4];;
q[K6 += 4] = yxR23:22; xyFR0 = R0 - R1; yxR7:6 = q[J4 += 4]; xySFR19:18 = R11:10 * R9:8 (mX);;
if n1c0e, jump .P1L7; xySFR3:2 = R11:10 * R9:8; xyFR1 = R14 + R15; yxR9:8 = q[K5 += 4];;
```

Рис. 4. Оптимизированный ассемблерный код перемножения массивов

Измерение параметров обнаруженных целей реализуется один раз на все секции сигнала и выполняется только для обнаруженных целей, которых в рассматриваемом примере задано 32. Поэтому данное время не является критичным. Процедура написана на языке Си. Время выполнения составляет 155 тактов. Полученные оценки времени выполнения отдельных этапов алгоритма обработки внесены в табл. 2.

Анализ эффективности реализации контрольной задачи на МОС и процессоре 1967BH028

Полученные оценки времени реализации отдельных этапов обработки позволяют рассчитать время реализации всей задачи в целом с учетом обработки требуемого числа секций на всех процессорных элементах МОС. Эти оценки сведены в табл. 2 и сопоставлены с результатами, полученными на программируемом процессоре сигналов (совокупности вычислительных модулей), описанных в [3].

В качестве критериев эффективности процессора 1967BH028 и МОС предлагается использовать время реализации БПФ-1024 и время решения контрольной задачи. Время реализации БПФ-1024 процессором 1967BH028 составляет 6637 тактов или 14,7 мкс на тактовой частоте 450 МГц, что подтверждено экспериментально в ходе описанных работ. Время реализации БПФ-1024 процессором ADSP-TS201 TigerSHARC, который

послужил прообразом 1967BH028, составляет 9419 тактов или 15,7 мкс при таковой частоте 600 МГц [4]. Таким образом, процессор 1967BH028, с тактовой частотой в 1,3 раза меньшей, чем у процессора TigerSHARC, архитектурно имеет преимущество перед данным процессором, реализуя в 2 раза больше операций умножения с накоплением за такт, в результате чего время реализации БПФ-1024 на обоих процессорах оказывается приблизительно одинаковым, то есть разницу в тактовых частотах удается компенсировать.

Время решения контрольной задачи одним модулем МОС составило около 240 мкс, что при частоте повторения импульсов 1 мс означает уверенную работу модуля в режиме реального времени.

Сравним полученные оценки с результатами, полученными в [3]. В [3] обработка производится на программируемом процессоре сигналов (ППС), в состав которого входят три вычислительных модуля (ВМ). При этом каждый ВМ строится на основе четырех процессорных элементов (ПЭ), в качестве которых выступают сигнальные процессоры ADSP-21160 фирмы Analog Devices с тактовой частотой 100 МГц. В [3] приводятся данные по обработке всех 12 секций сигнала с распараллеливанием на ВМ и ПЭ в составе ППС. Каждый ПЭ обрабатывает по 2 секции параллельно, а для обработки 12 секций используются 6 ПЭ в составе двух ВМ.

Таблица 2. Время реализации контрольной задачи

Этап алгоритма	Время обработки одной секции на одном процессоре МОС, мкс	Время реализации всего алгоритма на МОС, мкс	Время обработки одной секции на одном ПЭ ВМ [3], мкс	Время реализации всего алгоритма на ВМ ППС [3], мкс
Преобразование формата входного массива	4,7	14,1	20,5	82
БПФ	14,7	44,1	102,5	410
Умножение на частотную характеристику	2,4	7,2	20,5	82
Обратная БПФ	14,8	44,4	102,5	410
Вычисление модулей массива фильтров	2,4	7,2	23	94
Пороговая обработка со стабилизацией вероятности ложных тревог	39,8	119,4	39	158
Измерение параметров (для 32 сигналов)	0,3	3,5	70,5	70
Всего	79,1	239,9	378,5	1306

В данной работе целесообразно сопоставить быстродействие процессоров ADSP-21160 с 1967BH028, а также сопоставить быстродействие модулей ВМ из [3] и МОС. С этой целью данные из [3] были преобразованы. Чтобы получить время обработки одной секции на одном ПЭ данные из [3] были поделены на 2. Чтобы получить время реализации всего алгоритма на одном ВМ, данные из [3] были умножены на 2. Такое преобразование представляется правомочным в контексте рассматриваемого вопроса. Кроме того, некоторые процедуры исключены из рассмотрения. Например, процедура весовой обработки не реализовывалась, так как ее целесообразно включать в расчет коэффициентов согласованного фильтра и выполнять предварительно.

Из табл. 2 следует, что типовые процедуры ЦОС, такие как БПФ и перемножение массивов, при условии качественной оптимизации выполняются процессором ориентировочно в 7-10 раз быстрее, чем на процессоре ADSP-21160. Это достигается за счет в 4,5 раза большей тактовой частоты и за счет в 2 раза большего числа умножений и сложений, параллельно выполняемых каждым умножителем и АЛУ. Однако общее время обработки оказалось только в 5,4 раза меньше, чем на ВМ ППС из [3]. В этом в основном «виновата» процедура пороговой обработки. Однако сопоставление ее реализации с [3] может быть не вполне адекватным. Требуется полное соответствие способов реализации и доскональная оптимизация программных кодов, что в рамках рассматриваемой работы не представляется целесообразным.

Заключение

Основной целью проведенной работы было получение ответов на вопросы о работоспособности и эффективности процессора 1967BH028 и модулей ЦОС на его основе, а также о возможности и целесообразности замены процессорами 1967BH028 процессоров SHARC и TigerSHARC фирмы Analog Devices. Результаты работы показывают, что процессор 1967BH028 отвечает характеристикам, заявленным его производителем АО «ПКК «Миландр» и демонстрирует вычислительную эффективность, схожую с ADSP-TS201 при в 1,3 раза меньшей тактовой частоте за счет в 2 раза большего числа параллельно выполняемых умножений-сложений. АО «ГРПЗ» получен и протестирован образец модуля ЦОС на базе 1967BH028. На представленной контрольной задаче модуль демонстрирует высокую эффективность, успевая вести обработку зондирующих импульсов с четырёхкратным запасом.

Литература

1. Бобров Д.Ю., Доброжанский А.П., Зайцев Г.В., Маликов Ю.В., Цыпин И.Б. Цифровая обработка сигналов в многофункциональных РЛС // Цифровая обработка сигналов. 2001. № 4. С. 46-54.
2. Бобров Д.Ю., Доброжанский А.П., Зайцев Г.В., Маликов Ю.В., Цыпин И.Б. Цифровая обработка сигналов в МРЛС. Часть 2: алгоритмы обработки радиолокационных сигналов // Цифровая обработка сигналов. 2002. № 1. С. 46-54.
3. Бобров Д.Ю., Доброжанский А.П., Зайцев Г.В., Маликов Ю.В., Цыпин И.Б. Цифровая обработка сигналов в МРЛС. Часть 3 // Цифровая обработка сигналов. 2002. № 2. С. 46-54.
4. Краснобров Д., Равко В. Цифровая обработка сигналов – новое решение // Электроника НТБ. 2017. № 5. С. 44-48.
5. Бакулев П.А. Радиолокационные системы. Учебник для вузов. Изд. 3-е, перераб. и доп. М.: Радиотехника, 2015. 440 с., ил.
6. TigerSHARC® Embedded Processor ADSP-TS201S. Data sheet. Analog Devices, Inc. 2006. https://www.analog.com/media/en/technical-documentation/data-sheets/AD-SP_TS201S.pdf
7. Спецификация на микросхему 1967BH028. АО «ПКК Миландр». 2021. <https://ic.milandr.ru/upload/iblock/556/g5zyamzsnf6h8c1jmare6avuyds0ov2h/1967%D0%92%D0%9D028.pdf>.
8. Руководство по программированию для ИМС 1967BH028 и 1967BH044. АО «ПКК Миландр». 2021. <https://ic.milandr.ru/upload/iblock/77f/77fac90e79704374aaccc4b44f3244d6.pdf>
9. CM-LYNX. Руководство пользователя. АО «ПКК Миландр». 2021. https://ic.milandr.ru/products/programmno_otladochnye_sredstva/otladochnye_komplekty/kompleks-razrabotki-i-otladki-dlya-protessorov-serii-1967vnhkhk/
10. Библиотеки функций цифровой обработки сигналов DSPlib и стандартных функций clib Описание функций. АО «ПКК Миландр». 2019.
11. Руководство пользователя OCPB МАКС-Lynx. АО «ПКК Миландр». 2019.
12. Витязев С.В. Программная реализация цифрового фильтра-дециматора на цифровых сигнальных процессорах TigerSHARC ADSP-TS101 // Цифровая обработка сигналов и ее применение. Труды междунар. науч-техн. конф. Вып.: XII-2. М.: 2010. С. 259-261.
13. Витязев С.В. Цифровые процессоры обработки сигналов. Курс лекций. М.: Горячая линия-Телеком, 2017. 100 С.