

## ОСОБЕННОСТИ РАБОТЫ ОБРАБОТЧИКА ПЕРЕРЫВАНИЙ В СЕМЕЙСТВЕ ADSP-211XX/2XX/3XX

Ботвинёнок А.А., Курпичников А.П.

При проектировании различных радиоэлектронных устройств часто возникает задача построения точной временной диаграммы запуска различных процессов или периферийных устройств. В зависимости от предъявленных требований к стабильности, эту задачу можно решать различными способами. С помощью ПЛМ и ПЛИС можно добиться отличных результатов как по точности соблюдения диаграммы, так и по джиттеру, однако это решение повышает стоимость устройства, энергопотребление. Кроме того, на плате ЦОС в распоряжении разработчика часто есть один или несколько DSP с высокой тактовой частотой, на первый взгляд, пригодных для такого применения. В эксперименте была поставлена задача реализовать временную диаграмму управления периферийным устройством посредством имеющихся процессоров ADSP-21XXX, отказавшись от дополнительных аппаратных средств.

В качестве примера были взяты платы ЦОС, где основными (или единственными) процессорами были DSP семейства Sharc – ADSP-21161/262/362, на которых дополнительно требовалось реализовать схему управления внешним устройством (посредством нескольких импульсов по трём управляющим шинам), жестко привязанную к внешнему синхроимпульсу. При этом требовалось получить джиттер не более 5 нс и разрешалось варьировать частоту процессора с условием невмешательства в исполнение основной программы.

Для решения подобной задачи внешний синхроимпульс подавался на наиболее приоритетное прерывание IRQ2 процессора, а выдача сигналов осуществлялась через флаги (или DA1 для 21262/362). Добиться требуемой временной диаграммы пытались двумя способами: традиционным – с использованием таймеров, или используя цепочки команд в качестве задержек. При этом используемые типы процессоров отличаются, (ввиду разной архитектуры обработчика прерывания) величиной минимальной задержки выходных импульсов, реализуемых во временной диаграмме (например для 21362 – около 50 нс). Высокие тактовые частоты процессоров в принципе позволяют получить дискретность временной диаграммы менее 10 нс, что вполне достаточно для большинства приложений, но остаётся вопрос обеспечения стабильности фронтов выдаваемых импульсов и отсутствие влияния внешних факторов. Ниже указаны использовавшиеся в экспериментах напряжения питания и частоты процессоров.

Процессор	ADSP-21161	ADSP-21262	ADSP-21362
$V_{core}, V_{PLL}$	1.8 В	1.2 В	1.2 В
$F_{ext}$	40 МГц	40 МГц	40 МГц
$F_{pll}$	80 МГц (2/1)	160 МГц (8/2)	320 МГц (16/2)

### Вариант формирования диаграммы с использованием таймеров.

В данном эксперименте осуществлялся запуск таймеров в режиме компаратора, по прерыванию которого производилось управление соответствующей периферией. Однако, несмотря на кажущуюся надёжность и удобство метода, никакими манипуляциями не удалось добиться джиттера менее одного периода входной частоты (далее –  $T_{вх}$ , в нашем случае 25 нс), что объясняется частотой обращения к периферии. При этом следует отметить, что таймеры процессора могут быть задействованы в основной программе, это делает данный способ ещё менее привлекательным, и поэтому он далее не рассматривается.

### Использование цепочек команд.

В этом способе цепочки команд основной программы дополнялись холостыми командами (nop) для соблюдения требуемой временной диаграммы. В этом случае результаты получились существенно лучше, чем при использовании таймеров. При точной реализации временной диаграммы (с дискретом такта процессора) сигнал, тем не менее, имеет джиттер относительно синхроимпульса на период  $T_{вх}$  (25 нс) относительно среднего положения, причём это «дрожание» имеет дискретный характер: три стабильных точки на временной диаграмме, где равномерно может находиться фронт выдаваемого импульса, а сама «точка» представляет собой размазанный на 3-4 нс фронт. Далее были исследованы факторы, оказывающие основное влияние на джиттер и свои синхронизации:

а) Момент обращения к периферии.

Было замечено, что джиттер зависит от расположения точки выдачи сигнала. В частности установлено, что оптимальным моментом для поднятия флага является первая команда в обработчике прерывания. При смещении выдачи импульса холостыми командами, результат в большинстве случаев ухудшался на  $\pm 0.5T_{вх}$ . (код представлен для процессора 21262/362):

```
__IRQ2I::                               //Обработчик IRQ2.  
por; por;...nop;                          //холостые ко-  
манды  
bit set FLAGS FLG1; //Установка логической 1 на  
выходе  
...  
rti;
```

Таким образом, без учёта других факторов, невозможно получить стабильный сигнал с произвольной или управляемой задержкой.

б) Положение синхроимпульса относительно

входной опорной частоты.

Проверено, что джиттер выдаваемых сигналов зависит от положения внешнего синхроимпульса относительно фазы опорной частоты (для генерирования синхроимпульса использовался тот же источник опорной частоты, что и для самого процессора). Так, меняя взаимное расположение опорной частоты и синхроимпульса, можно было наблюдать уменьшение сбоев синхронизации с 3-х до 2-х стабильных точек с расстоянием в один период  $T_{вх}$  (25 нс) между ними.

в) Влияние коэффициентов PLL.

В зависимости от используемых множителей внутренней PLL, джиттер также менялся. Наилучшие результаты были получены при коэффициентах, представляющих собой степенной ряд двойки. Это, видимо, объясняется тем, что такое умножение или деление частоты является самой технологичной операцией, и поэтому джиттер внутренней частоты минимален. Так, при множителе 4 и делителе 2 (4/2) на всех испытываемых процессорах была получена стабильность  $\pm 2$  нс при равномерном шуме фронта, причём этот джиттер не зависел от частоты работы ядра (входная частота делилась на два). Вероятно, это дрожание связано не с внутренними эффектами в процессоре, а получается с умножением фазового шума опорной частоты. При подаче эталонной внешней частоты (от стабильного внешнего генератора с низким фазовым шумом) дрожание уменьшилось до  $\pm 0.7$  нс. Такие низкие значения джиттера удавалось получить только при коэффициентах 16/2 (ADSP-21362), 8/2 (ADSP-21262/362), 4/2 (21161/262/362), но не 8/1 и 4/1. Это может быть связано с неидеальностью скважности входной частоты. Следует обратить внимание на то, что от включения к включению питания точка стабильности могла менять своё положение на четверть  $T_{вх}$  (6.25 нс). Этот эффект, по-видимому, связан с возможностью запуска PLL по переднему или заднему фронту входной тактовой частоты (используемое семейство DSP не имеет команды сброса PLL). Кроме того, в случаях коэффициентов PLL, равных 16/2, 8/2 и 4/2, на временной диаграмме удалось выявить участки стабильного воспроизведения сигналов с минимальным джиттером ( $\pm 0.7$  нс). На основе этих наблюдений были выработаны нижеследующие рекомендации.

#### Рекомендации по построению временной диаграммы.

Большое влияние на джиттер оказывает положение спада синхроимпульса (по нему защёлкивается прерывание IRQ2) относительно фронта входной тактовой частоты. При этом присутствует «точка неустойчивости» (в эксперименте - зона шириной около 1 нс), попав в которую синхроимпульс начинает случайным образом обрабатываться в предыдущем или последующем тактах внешней частоты. Положение этой точки не зависит от настроек PLL, питания ядра и PLL и определяется внутренней логикой обработчика прерываний.

Так, для процессоров 21362 при входной частоте 40 МГц точка бифуркации опережала фронт входной частоты на 2.5 нс, а при входной частоте 20 МГц -

примерно на 5 нс. Для процессора 21161 эта точка опережала тактирующий фронт на 1 нс, причём не выявлено зависимости от входной частоты. Таким образом, первая рекомендация состоит в подстройке положения синхроимпульса относительно тактирующей частоты.

Второй важный момент – соблюдение требований к коэффициентам PLL ( $PLL_{mul}$ ,  $PLL_{div}$ ), которые должны представлять собой целую степень двойки (2, 4, 8, 16, 32...).

И в заключении, при разработке программы, для получения стабильных сигналов, необходимо соблюдать некоторые дополнительные требования:

*Для процессора 21161 - число команд (без учёта rti) в обработчике прерывания должно быть равно  $4n-1$ , где  $n$  – натуральное число.*

*Для процессоров 21262 - число команд (без учёта rti) в обработчике прерывания должно быть выбрано в зависимости от настроек PLL процессора, однако число команд в обработчике прерывания (без учёта rti) должно равняться  $3n+k$ , где  $n$  – натуральное, а  $k$  – целое число, зависящее от настроек PLL.*

*Для процессоров 21362 - число команд (без учёта rti) в обработчике прерывания должно быть равно  $4n$ , где  $n$  – натуральное число.*

#### Выводы

Таким образом, на базе DSP SHARC трёх разных поколений (21161/262/362) независимо от значения частоты ядра удалось получить стабильную временную диаграмму с дискретом  $\frac{1}{2} T_{вх}$ , и джиттером менее 1 нс (для системы с единым тактовым генератором). Это достигнуто благодаря соблюдению условия кратности команд в обработчике прерывания и соответствующего расположения синхроимпульса относительно входной частоты. В других случаях джиттер сигналов был более одного периода входной частоты, что нельзя считать приемлемым для многих приложений (25-50 нс в нашем случае).

Проведённые эксперименты показывают, что при наличии неиспользуемых ресурсов процессора (IRQ2, процессорное время) можно построить требуемую временную диаграмму без дополнительных аппаратных средств. Кроме того, полученные для случая работы с флагами результаты можно распространить и на другую периферию. Таким образом, можно построить требуемую временную диаграмму SPORT, LINK и других портов. При этом холостые команды, естественно, можно заменить полезным кодом обработки - тогда затраты процессорного времени на обслуживание диаграммы будут минимальны, хотя платой за это будет некоторое усложнение отладки программ.

#### Литература

1. ADSP-2106x SHARC Processor User's Manual, revision 2.1
2. ADSP-21161 SHARC DSP Microcomputer Data Sheet
3. ADSP-21262 3rd Generation Low Cost 32-bit Floating-Point SHARC Processor Data Sheet
4. ADSP-21362 High-Performance 32-bit Floating-Point SHARC Processor for General Purpose Applications Data Sheet