УДК 621.396.6

СЛОЖНО-ФУНКЦИОНАЛЬНЫЙ БЛОК ДЛЯ ВЫЧИСЛЕНИЯ МАТРИЦЫ КОРРЕЛЯЦИИ В ЧАСТОТНОЙ ОБЛАСТИ

Петров С.А., *к.т.н., начальник НИО, ФГУП «ВНИИА», e-mail: plc_life@mail.ru*
Глухов А.Ю., *к.т.н., начальник группы, ФГУП «ВНИИА», e-mail: AGlukhov@live.ru*
Стародубов Д.А., *инженер-программист, ФГУП «ВНИИА», e-mail: Starodubov.dan@yandex.ru*

IP-CORE FOR MATRIX CORRELATION CALCULATION IN FREQUENCY DOMAIN

Petrov S.A., Gluhov A.U., Starodubov D.A.

Correlation matrix (CM) is employed in numerous modern digital signal processing (DSP) methods within multichannel systems based on antenna arrays. Such methods underpin highly efficient wireless communication systems, signal detection and classification, direction finding, and noise localization. The literature predominantly presents research results focused on the theoretical foundations, numerical simulations, and investigations into the stability and optimality of methods based on the CM. At the same time, given the widespread adoption of autonomous, compact mobile systems, the investigation of hardware implementations of these methods-including their optimization for minimal computational complexity and enhanced energy efficiency-remains a highly relevant challenge. Under current conditions, the most promising approach involves using integrated circuits with parallel (matrix) architectures, such as FPGAs, or custom and semi-custom ASICs, as the primary computing platforms. This work addresses the development of an architecture and presents research results for a signal processing IP-core designed for the computation of the CM, intended for real-time applications implemented on FPGAs or ASICs.

Key words: Multichannel system, Antenna array, spatial-frequency analysis, spectral correlation matrix, FFT, fixed-point, IP-core, FPGA, ASIC.

Ключевые слова: многоканальная система, антенная решетка, пространственно-частотный анализ, матрица корреляции, БПФ, фиксированная точка, сложно-функциональный блок, ПЛИС, ASIC.

Матрица корреляции (МК) используется во многих современных методах цифровой обработки сигналов (ЦОС) в многоканальных системах на базе антенных решеток (АР). Во многих приложениях требуется анализ спектральных составляющих, по которым вычисляется МК. Подобные методы лежат в основе высокоэффективных систем беспроводной связи, обнаружения и классификации сигналов, пеленгования и шумопеленгования. В литературе, в основном, представлены результаты исследований в области теоретических основ, проведения численного моделирования, исследование устойчивости и оптимальности методов на основе МК. В то же время, ввиду широкого распространения автономных малогабаритных мобильных систем, задача исследования аппаратной реализации методов, в том числе их оптимизации по минимуму вычислительных затрат и обеспечения энергоэффективности является весьма актуальной. В современных условиях, наиболее перспективным является применение в качестве основных вычислителей СБИС с параллельной (матричной) архитектурой типа ПЛИС или специальных полузаказных или заказных СБИС (ASIC). В работе рассматривается разработка архитектуры и результаты исследований СФ-блока для вычисления МК для применения в системах реального времени на базе ПЛИС или ASIC.

Введение

Современные системы беспроводной связи, обнаружения и классификации сигналов, пеленгования и шумопеленгования строятся на антенных решетках ввиду возможности реализации методов повышения устойчивости и качества, особенно это актуально для систем, работающих в водной среде. Такие системы требуют использования эффективных методов цифровой обработки сигналов (ЦОС).

В основе многих высокоэффективных методов ЦОС, реализуемых в системах с АР, лежит вычисление матрицы корреляции (МК) в частотной области [1], позволяющей количественно оценивать взаимосвязи между спектральными компонентами многоканальных сигналов АР. Анализ МК используется для решения задач:

– пространственной фильтрации для пространственного комбинирования и оптимизации весовых коэффициентов сигналов АР, позволяющих минимизировать влияние шума и межканальных помех;

– определение направления углов прихода сигналов при использовании в методах Бартлета, Кейпона, Music и т.д.;

– проведения пространственно-частотного анализа для обнаружения слабых сигналов, классификации и комплексной оценки качества приема, а также оптимизации энергии в многолучевых средах;

– оценки параметров нестационарных каналов связи для применения в адаптивных алгоритмах обработки сигналов реального времени, позволяющих динамически подстраивать приемную систему к изменяющимся внешним условиям.

В то же время анализ современных публикаций [2-4 и др.] показывает, что исследования методов на базе МК в основном сосредоточены в области их теоретических основ, устойчивости и оптимальности. Такой подход позволяет в первую очередь оценить потенциал алго-

ритмов с точки зрения математической эффективности и качества обработки сигналов без учета их аппаратной реализации, особенно в системах с обработкой сигналов в масштабе реального времени. Однако ввиду широкого распространения автономных малогабаритных мобильных систем, как гражданского, так и специального назначения, задача исследования аппаратной реализации методов, в том числе их оптимизации по минимуму вычислительных затрат и обеспечения энергоэффективности, весьма актуальна.

Системы на АР являются многоканальными системами ЦОС. Для таких систем аппаратные решения на базе цифровых сигнальных процессоров зачастую оказываются малоэффективными ввиду последовательного характера выполнения отдельных математических операций. Попытки распараллеливания задач ЦОС на процессорах зачастую приводят к значительному росту энергопотребления и снижению ресурса автономной работы таких систем. При этом структура алгоритма МК позволяет выполнять отдельные операции параллельно, что позволяет в качестве основных вычислителей использовать СБИС с параллельной (матричной) архитектурой типа ПЛИС или специальные полузаказные или заказные СБИС (ASIC) [5-8]. Аппаратура на базе таких СБИС потенциально позволяет обеспечить существенно более высокие показатели производительности и энергоэффективности.

Реализация алгоритмов на подобных СБИС заключается в разработке сложно-функциональных блоков (СФ-блоков, IP-ядер), описывающих функционирование на уровне регистровых передач (RTL-описание) [9].

В отдельные группы выделяют логические и физические СФ-блоки. Логические СФ-блоки, в отличие от физических, не привязаны к конкретной технологии производства и могут быть адаптированы под разные технологические процессы. В зависимости от специфики решаемой задачи синтез СФ-блока может быть выполнен в различных базисах, например ПЛИС или ASIC.

Целью работы является разработка и верификация СФ-блока для вычисления МК и применения в системах реального времени на базе ПЛИС или ASIC.

Математическое описание вычисления КМ в частотной области

Ввиду большого количества параллельных каналов обработки в многоканальных системах для снижения вычислительной сложности расчет МК производится в частотной области. Так, для АР, состоящей из N-каналов приемных элементов по M цифровых отсчетов в каждом, для вычисления матрицы корреляции во временной области на основе сверток требуется $O(M^2 N)$. При переходе в частотную область с помощью алгоритмов, основанных на быстром преобразовании Фурье (БПФ), и замены операции свертки на поэлементное умножение спектров сложность операций снижается до $O(N^2 \cdot \log_2 M)$.

Таким образом, для сигнала каждого n-го канала АР $x_n[m]$ формируется матрица входных сигналов размерностью $[M \times N]$:

$$x = \left[x_1[m], x_2[m], \ldots, x_N[m] \right], m = 0..M.$$

Далее для каждого n-го канала АР производится переход в частотную область посредством дискретного преобразования Фурье (ДПФ) и формируется матрица:

$\boldsymbol{X} = \left[X_1[k], X_2[k], \ldots, X_N[k] \right]$, где

$$X_n[k] = \sum_{m=0}^{M-1} x_n[m] e^{-j\frac{2\pi}{M}km}, \quad (1)$$

$k = 0,1,\ldots,N-1, n = 0,1,\ldots,M-1.$

Вычисление МК осуществляется матричным перемножением с последующим усреднением:

$$\boldsymbol{R}_{XX} = \boldsymbol{X} \cdot \boldsymbol{X}^H, \quad (2)$$

где $\boldsymbol{X}^H$ – эрмитово сопряженная матрица.

Базовые алгоритмы СФ-блока

При разработке СФ-блока на языке описания аппаратуры, реализующего математические операции (1) и (2), для эффективного использования аппаратных ресурсов и достижения низкого энергопотребления при высоком быстродействии необходимо определить архитектуру параллельного вычисления ДПФ и МК и формат представления чисел.

Возможные форматы представления чисел при расчете МК: целочисленный, с плавающей или фиксированной точкой.

Операции над целыми числами просты в реализации, обеспечивают высокую производительность, но требуют применения масштабных коэффициентов и ограничены по точности. Операции над числами с плавающей точкой обеспечивают высокую точностью при широком динамическом диапазоне, но сложны в реализации и требовательны к ресурсам. По мнению авторов при реализации СФ-блока по расчету МК компромиссом между точностью и производительностью является применение чисел с фиксированной точкой. Однако, применение таких чисел требует обоснования формата в зависимости от решаемой задачи.

В формате с фиксированной точкой число x и его целочисленное представление x' записываются в виде $x = x' \times 2^{-f}$ или $Qi.f$, где f – число бит дробной части, i – число бит целой части. Таким образом, необходим подбор разрядностей целой и дробной частей, обеспечивающих требуемые характеристики.

В работе для реализации ДПФ (1) на ЯОА применен классический алгоритм Кули-Тьюки [3]. Он позволяет эффективно вычислять ДПФ для количества отсчетов кратного степени 2 и относится к алгоритмам быстрого преобразования Фурье. При реализации метода, входная последовательность $x[m], m = 0,1,\ldots M-1$ длины $M = 2^p$ делится на две половины и для каждого $k = 0,1,\ldots M/2-1$ вычисляются промежуточные суммы с использование операции radix-2:

$$y_0 = a + W_M^k \cdot b, \quad y_1 = a - W_M^k \cdot b, \quad (3)$$

где a, b – входные данные, y_0, y_1 – выходные данные, W_M^k – коэффициенты вращения, определяемые выражением:

$$W_M^k = e^{-j\frac{2\pi}{M}k} = \cos\left(\frac{2\pi}{M}k\right) - j\cdot\sin\left(\frac{2\pi}{M}k\right), \quad (4)$$

Перепишем ДПФ (1) в виде суммарных и разностных последовательностей с учетом коэффициентов вращения:

$$\begin{aligned} X[k] &= E[k] + W_M^k O[k], \\ X[k+N/2] &= E[k] - W_M^k O[k], \end{aligned} \quad (5)$$

где

$$\begin{aligned} E[k] &= \sum_{m=0}^{\frac{M}{2}-1}\left(x[m] + x\left[m+\frac{M}{2}\right]\right)\cdot W_{\frac{M}{2}}^{km}, \\ O[k] &= \sum_{m=0}^{\frac{M}{2}-1}\left(x[m] + x\left[m+\frac{M}{2}\right]\right)\cdot W_{\frac{M}{2}}^{km}. \end{aligned} \quad (6)$$

Коэффициенты вращения можно предварительно рассчитать согласно (4) и сохранить в постоянное запоминающее устройство (ПЗУ). Однако, при ограниченном объеме ПЗУ или невозможности его использования, особенно в СБИС типа ASIC или БМК, целесообразно производить динамический расчет коэффициентов при первоначальной загрузке устройства с сохранением в ОЗУ. В таком случае эффективным решением становится применение алгоритма cordic. Обозначим гармонические функции из выражения (4) как y_k и x_k:

$$\cos\left(\frac{2\pi}{M}k\right) = y_k \text{ и } \sin\left(\frac{2\pi}{M}k\right) = x_k.$$

Выполним их расчет с помощью поворота системы координат:

$$\begin{aligned} x_k &= \cos(\varphi)\cdot(x_{k-1} - y_{k-1}\cdot\tan(\varphi)); \\ y_k &= \cos(\varphi)\cdot(y_{k-1} - x_{k-1}\cdot\tan(\varphi)). \end{aligned} \quad (7)$$

Кроме того, применение алгоритма cordic для чисел с фиксированной точкой позволяет при реализации поворота на $\tan(\varphi) = \pm 2^{-i}$, где i – целое число, заменить умножение значений x_{k-1} и y_{k-1} на $\tan(\varphi)$ сдвигом этих значений на i разрядов вправо. Использование побитовых операций сдвигов обеспечивает высокую производительность при реализации СФ-блока на языке описания аппаратуры.

Архитектура СФ-блока

В работе в качестве примера рассматривается АР с приемными каналами в количестве $N = 8$. Тогда общая структура СФ-блока для расчета МК в реальном времени имеет вид, представленный на рисунке 1, и состоит из блоков:

«ОЗУ1», «ОЗУ2», …, «ОЗУ8» – память накопления отсчетов от восьми независимых синхронных аналогово-цифровых преобразователей (АЦП);

«ПЧ» – преобразователь целочисленного представления отсчетов АЦП в формат чисел с фиксированной точкой;

3. «БПФ-8» – 8-и канальное БПФ для вычисления комплексных спектров для каждого канала сбора данных;

4. « $\boldsymbol{R}_{XX}$ » – вычислитель МК;

5. «ОЗУ $Re(\boldsymbol{R}_{XX})$ », «ОЗУ $Im(\boldsymbol{R}_{XX})$ » – память с результатом вычисления МК.

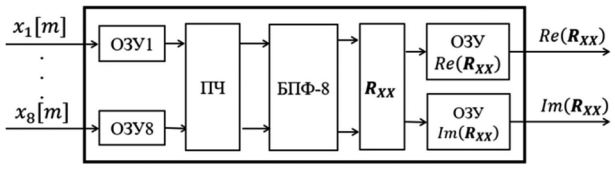


Рисунок 1. Структурная схема СФ-блока вычисления МК

Блоки «ОЗУ1» – «ОЗУ8» принимают действительные P-битные цифровые отсчеты с восьми каналов АЦП $x_1[m], x_2[m], \ldots, x_N[m] \quad (m = 0,1,\ldots,4095)$ с заданной частотой дискретизации f_{sr}. Блок «ПЧ» преобразует целочисленные P-битные отсчеты АЦП в формат чисел с фиксированной точкой $Qi.f$.

В каждом блоке памяти реализована двойная буферизация данных для работы в реальном времени. Результатом обработки одного кадра данных $N \times M$ при $N = 8$ является 64 комплексных числа МК, разделенных на действительные $Re(\boldsymbol{R}_{XX})$ и мнимые $Im(\boldsymbol{R}_{XX})$ составляющие.

На рисунке 2 представлена структурная схема блока «БПФ-8». Блок выполняет параллельное вычисление восьми комплексных спектров БПФ1,…,БПФ8 для каждого канала АР в формате с фиксированной точкой $Qi.f$ согласно выражениям (5) и (6). В основе реализации блока лежат операции перемножения двух комплексных чисел в формате с фиксированной точкой с учетом заданной разрядности целой i и дробной части f.

«БПФ-8» содержит встроенный блок вычисления поворачивающих коэффициентов с помощью метода cordic, согласно выражению (7). Каждый блок $БПФ_i$ имеет доступ к ОЗУ, где хранятся действительные и мнимые составляющие поворачивающих коэффициентов. В каждом блоке $БПФ_i$ реализуется базовая операция алгоритма Кули-Тьюки (5).

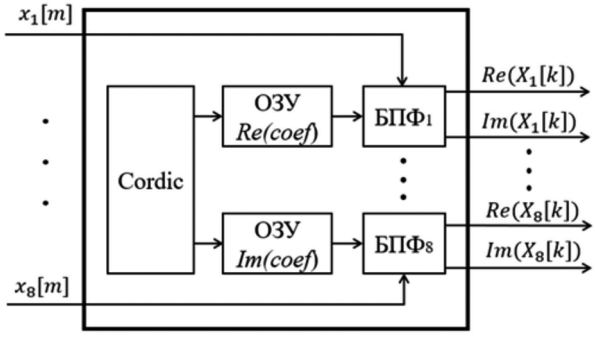


Рисунок 2. Структурная схема блока «БПФ-8»

Структурная схема блока « $\boldsymbol{R}_{XX}$ » представлена на рисунке 3. Данный блок вычисляет МК. Предварительно в каждый канал памяти $ОЗУ_i$ помещаются спектральные отсчеты БПФ от блока «БПФ-8». Блок « $\boldsymbol{R}_{XX}$ » содержит 8 блоков «$R_{xx}(n,:)\cdot R_{xx}^H(i,:)$», осуществляющих поэлементные операции комплексного умножения с накоплением с учетом комплексного сопряжения, согласно выражению (2). Каждый блок имеет два входа. На эти входы синхронно поступают спектральные отсчеты БПФ с соответствующего «$ОЗУ_i$». Для осуществления параллельных вычислений используется 8 одинаковых блоков

«$R_{xx}(n,:)\cdot R_{xx}^{H}(i,:)$». На первый канал каждого n-го блока последовательно подаются отсчеты из $ОЗУ_n$. На второй вход подаются отсчеты от $ОЗУ_i$ согласно выбранному каналу в мультиплексоре «mux». Это позволяет перебирать все комбинации индексов для вычисления МК. За один цикл работы вычисляется 1 столбец матрицы корреляции. Таким образом обеспечивается параллельность расчетов. При этом вся МК вычисляется за 8 циклов работы блока. Вычисленные комплексные 64 числа МК сохраняются в память «ОЗУ».

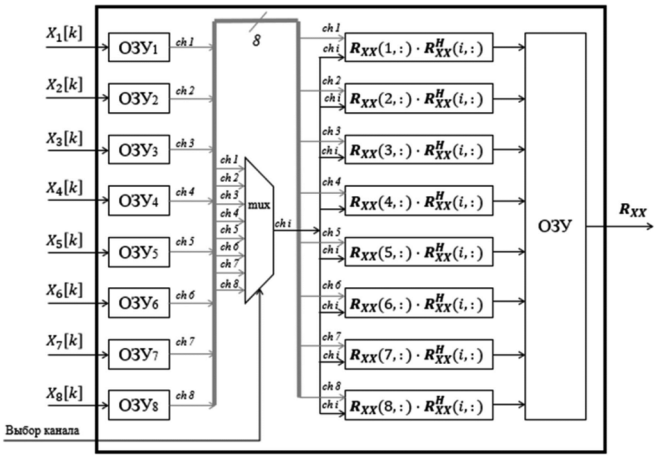


Рисунок 3. Структурная схема блока « $\boldsymbol{R_{XX}}$ *»*

Схема проведения исследований СФ-блока

Исследование предложенной в работе архитектуры СФ-блока осуществляется посредством его виртуальных испытаний, в том числе после синтеза в различных базисах.

Для проведения виртуальных испытаний разрабатывается «образцовая» компьютерная модель (КМ) математическая и КМ на основе СФ-блока вычисления МК. Структурная схема, реализующая такой подход в проведении виртуальных испытаний представлена на рисунке 4.

КМ математическая производит расчет МК согласно выражениям (1) и (2) без учета особенностей аппаратной реализации. В основе модели лежат 64-х битные числа с плавающей точкой двойной точности стандарта IEEE-754. КМ на основе СФ-блока для вычисления МК учитывает особенности аппаратной реализации такие как заданная разрядность АЦП и частота формирования выборок.

Для исследования моделей используются тестовые воздействия с заданными временными задержками, имитирующие реальные сигналы с АР, сгенерированные модулем формирователя сигналов АР.

КМ математическая и КМ на базе СФ-блока реализованы в различных программных средах. Для их сопряжения используется управляющий модуль.

Модуль верификации осуществляет расчет максимальной относительной ошибки $\delta_{\max}$ для последовательности значений длиной P, полученной с помощью КМ математической S_1 и МК, полученной с помощью КМ на базе СФ-блока S_2

$$\delta_{\max} = \max\left(\left|\frac{S_{2i} - S_{1i}}{S_{1i}}\right|\cdot 100\%\right),\ i = 0...P. \qquad (8)$$

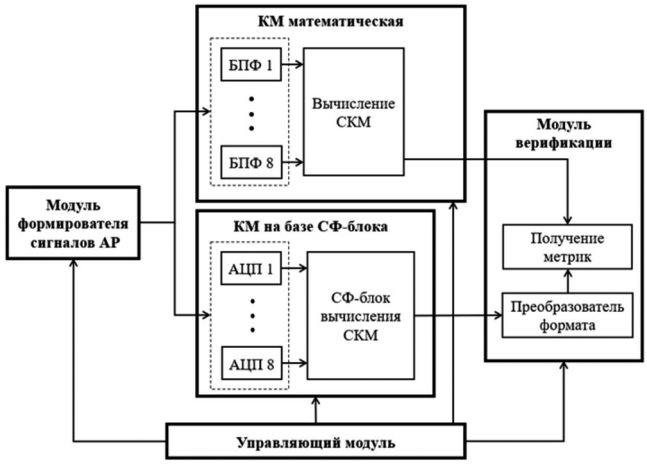


Рисунок 4. Схема проведения виртуальных испытаний

Для проведения исследований СФ-блока посредством синтеза в базисе ПЛИС используется программный комплекс для синтеза и анализа конструкций ЯОА. Это позволяет оценить ресурсы синтезируемой схемы в ПЛИС в части количества логических элементов, объема встроенной памяти (ОЗУ), встроенных умножителей для реализации операций умножения с накоплением и провести оценку прогнозируемой мощности.

Результаты виртуальных испытаний СФ-блока

Авторами предлагается ограничиться рассмотрением формата чисел с фиксированной точкой с максимальной разрядностью в 48 бит. Для оценки размера целой и дробной частей были проведены виртуальные испытания в части:

– оценки ошибки вычисления коэффициентов вращения и спектральных отсчетов БПФ при различных форматах чисел с фиксированной точкой;

– оценки ошибки вычислений МК при различном формате чисел с фиксированной точкой и разрядности АЦП.

Для определения ограничений предложенной архитектуры по результатам виртуальных испытаний необходимо оценить:

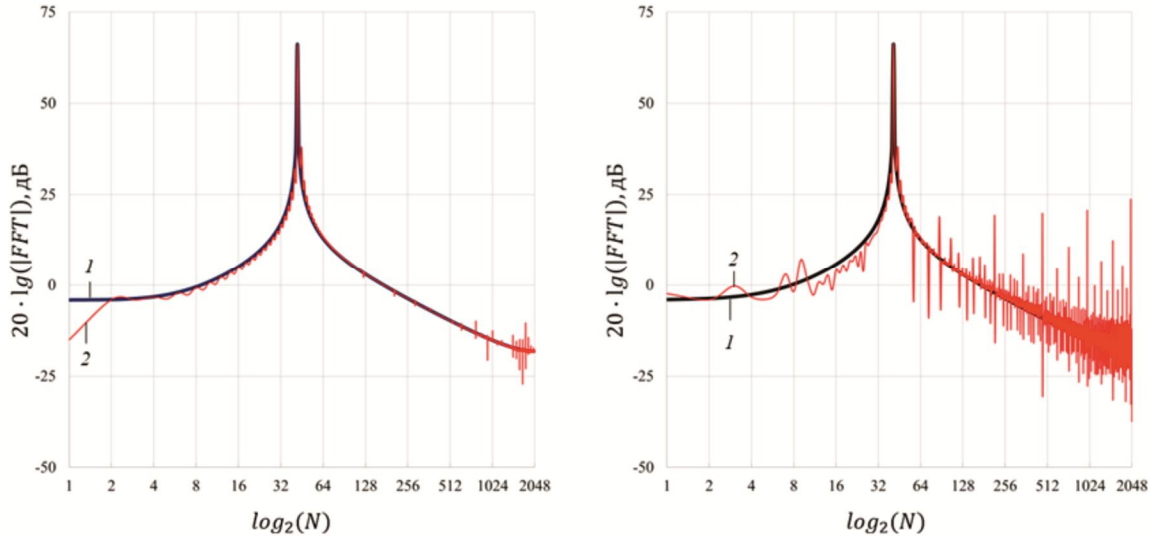
– время обработки одного кадра СФ-блоком расчета МК в зависимости от тактовой частоты;

– максимальную частоту дискретизации сбора данных с АЦП, обеспечивающую заданное быстродействие при удовлетворительной ошибке вычисления МК.

В таблице 1 приведены результаты оценки относительных ошибок определения коэффициентов вращения (4) действительных $\delta_{\max}(\mathrm{Re}(W_M^k))$ и мнимых значений $\delta_{\max}(\mathrm{Im}(W_M^k))$ с помощью алгоритма cordic и относительных ошибок модуля БПФ $\delta_{\max}(|FFT|)\big|_{f_s}$ в зависимости от различных форматов чисел. Оценка относительных ошибок БПФ произведена на основе обработки тестового гармонического сигнала частотой f_s. Для этого проводилось сравнение амплитуды основной гармоники в спектре КМ математической и КМ на базе СФ-блока.

Таблица 1. Относительные ошибки определения поворотных коэффициентов с помощью алгоритма cordic $Qi.f$.

№	Формат фиксированной точки	cordic		БПФ
		$\delta_{\max}(\mathrm{Re}(W_M^k))$, %	$\delta_{\max}(\mathrm{Im}(W_M^k))$, %	$\delta_{\max}(\lvert FFT \rvert)\big\rvert_{f_s}$, %
1	Q35.12	21,58	13,50	0,27
2	Q33.14	2,14	1,78	0,12
3	Q31.16	2,15	1,76	0,12
4	Q29.18	1,41	0,93	0,14
5	Q27.20	1,41	0,93	0,14
6	Q23.24	1,38	0,92	0,14



а) *б)*

Рисунок 5. Модуль БПФ, рассчитанной на основе КМ математической (1) и КМ на базе СФ-блока (2) при разрядности дробной части 24 бит (а) и 14 бит (б)

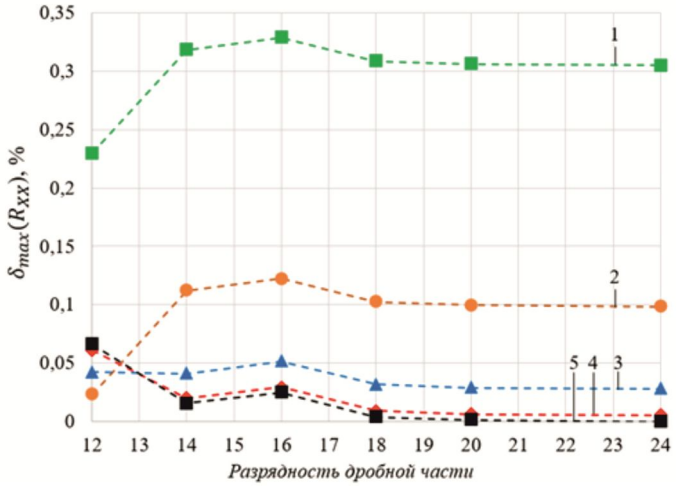


Рисунок 6. Семейство зависимостей относительных ошибок расчета МК от размера дробной части при различных разрядностях АЦП: (1) – 10 бит, (2) – 12 бит, (3) – 14 бит, (4) – 16 бит, (5) – 24 бита

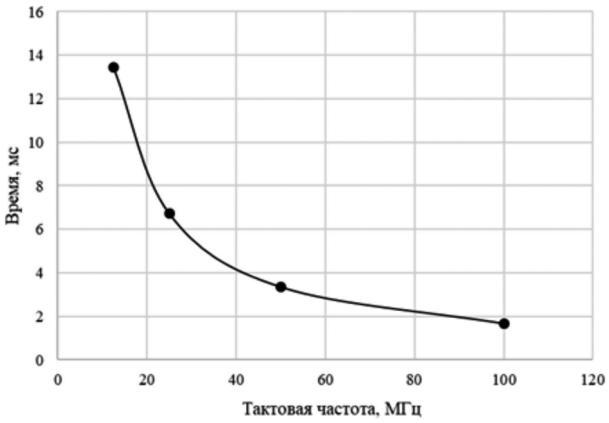


Рисунок 7. Зависимость времени выполнения от частоты тактирования

Максимальная ошибка расчета коэффициентов cordic наблюдается при f = 12 бит. При дальнейшем увеличении разрядности дробной части f = 14,16,…,24 достигается удовлетворительная точность вычислений коэффициентов. При этом на относительную погрешность определения основной гармоники разрядность коэффициентов оказывает несущественное влияние и обеспечивает приемлемые значения, не превышающие 0,27 %.

Пример влияния разрядности дробной части для форматов Q33.14 и Q23.24 на спектр сигнала, приведен на рисунке 5. На основе полученных экспериментальных данных произведена оценка отношения сигнал-шум не менее 89 дБ.

Зависимость обработки одного кадра СФ-блоком расчета МК в зависимости от тактовой частоты приведена на рисунке 7. Произведена оценка граничных условий для частоты дискретизации сигналов. Так, при тактовой частоте 50 МГц, что является типовым значением для ПЛИС xc7k325t время работы СФ – блока составляет

Таблица 2. Результаты оценки оценка ресурсов синтезируемой схемы в ПЛИС при различных форматах чисел с фиксированной точкой

№	Разрядность, бит	Формат	Кол-во LUT, шт	Встроенная память, шт	Кол-во DSP-ядер, шт	Мощность, Вт
1	48	Q31.16	62610	362	622	2,1
2	30	Q15.14	41193	254	300	1,4
3	28	Q13.14	58119	254	139	1,6
4	26	Q11.14	52682	222	139	1,4

3,36 мс. Тогда максимальная частота сбора данных АЦП составляет f_s = 4096/3,36 ≈ 1,2 МГц, что является удовлетворительным для реализации в реальном времени методов ЦОС, например в системах обработки сигналов звукового и ультразвукового частотных диапазонов.

Результаты синтеза в базисе ПЛИС

Произведена оценка ресурсов синтезируемой схемы в ПЛИС в части количества логических элементов, объема встроенной памяти (ОЗУ), встроенных умножителей для реализации операций умножения с накоплением и оценки прогнозируемой потребляемой мощности. Данная оценка выполнена для ПЛИС серии Kintex-7 xc7k325t.

Синтез в этом базисе проводился для различного формата представления чисел с фиксированной точкой. Количество разрядов для целой части определено исходя из возможных типовых значений динамического диапазона АЦП. Для значений ±1 В, ±3.3, ±5 В, необходимый размер целой части принят 11, 13 и 15 бит соответственно. Результаты синтеза приведены в таблице 2.

Приведенные в таблице 2. результаты в зависимости от требуемых ограничений по точности, ресурсам и мощности позволяют подобрать оптимальный формат представления чисел с фиксированной точкой при реализации в базисе ПЛИС.

Заключение

В работе на основе предложенной архитектуры СФ-блока для расчета МК в результате проведения виртуальных испытаний получены оценки ошибки вычисления коэффициентов вращения и спектральных отсчетов БПФ при различных форматах чисел с фиксированной точкой, произведены оценки ошибки вычислений МК при различном формате чисел с фиксированной точкой и разрядности АЦП.

Определены ограничения предложенной архитектуры по результатам виртуальных испытаний в части времени обработки одного кадра СФ-блоком расчета МК в зависимости от тактовой частоты и максимальной частоты дискретизации сбора данных с АЦП, обеспечивающую заданное быстродействие при удовлетворительной ошибке вычисления МК.

Произведена оценка ресурсов синтезируемой схемы в ПЛИС в части количества логических элементов, объема встроенной памяти (ОЗУ), встроенных умножителей для реализации операций умножения с накоплением и оценки прогнозируемой потребляемой мощности.

Предложенная архитектура СФ-блока для вычисления МК и полученные результаты исследований могут быть полезны при проектировании автономных малогабаритных мобильных многоканальных систем на базе ПЛИС или ASIC, работающих в масштабе реального времени для решения задач беспроводной связи, обнаружения и классификации сигналов, пеленгования и шумопеленгования. Также результаты работы могут быть основой решения задачи оптимизации архитектуры вычислителей МК на ПЛИС или ASIC.

Литература

1. H.L. Van Trees. Detection, Estimation, and Modulation Theory, Part IV, Optimum Array Processing. New York: Wiley, 2002.

2. Multipath DOA based MIMO beamforming receiver scheme for high-rate underwater acoustic communications. Tong Li, Feng Zhou, Lu Ma, Xinyu Liu, Muhammad Muzzammil. Applied Acoustics, vol 221, 2024, doi: 10.1016/j.apacoust.2024.109994

3. Zhou L. Underwater DOA estimation based on cross-correlation domain for relocating improved nested array. Lang Zhou, Kun Ye, Jie Qi, Shaohua Hong, Haixin Sun. Digital Signal Processing, vol. 128, 2022, doi: 10.1016/j.dsp.2022.103606

4. Baosheng, L. MIMO-OFDM for high-rate underwater acoustic communications. Baosheng Li, Milica Stojanovic. IEEE Journal of oceanic engineering, 2009

5. Chen K. A low complexity, high throughput DOA estimation chip design for adaptive beamforming. Electronics, 2020, 9, 641; doi:10.3390/electronics9040641.

6. Hussain A. FPGA-based hardware implementation of computationally efficient multi-source DOA estimation algorithms. IEEE access. 2017, volume XX, doi:10.1109/ACCESS.2019.2926335.

7. Assoa A.S. A scalable platform for single-snapshot direction of arrival (DOA) estimation in massive MIMO systems. LSVLSI, 2023, doi: 10.1145/3583781.3590212

8. Chen H. An efficient hardware accelerator for the MUSIC Algorithm / Electronics, 2019, 8, 511; doi:10.3390/electronics8050511.

9. ГОСТР 70916-2023 Блоки сложно-функциональные. Термины и определения. Национальный стандарт Российской федерации, 2023.

10. Блейхут Р. Быстрые алгоритмы цифровой обработки сигналов / Пер. с англ. М.: Мир, 1989. 448 с.