

УДК 621.396

АДРЕСНЫЙ ДЕКОДЕР ДЛЯ ПЕЛЕНГОВАНИЯ БЕСПРОВОДНЫХ УСТРОЙСТВ СТАНДАРТА IEEE802.11B

Спазхакин М.И., аспирант кафедры радиотехники Воронежского государственного технического университета, e-mail: spazhakinmi@rambler.ru;

Токарев А.Б., д.т.н., профессор кафедры радиотехники Воронежского государственного технического университета, начальник научно-исследовательского сектора АО ИРКОС, г. Москва, e-mail: tokarevab@ircoc.vrn.ru.

THE ADDRESS DECODER USED FOR DIRECTION FINDING THE WIRELESS DEVICES STANDARD IEEE802.11B

Spazhakin M.I., Tokarev A.B.

Article considers the problem of direction finding devices operating in accordance with IEEE 802.11b standard. Description of decoder operation, its structural scheme, structure of serial-parallel block for maximum value finding are performed in the article. Relational of bit error ratio from signal to noise ratio, that provides designed device, is determined by computer modeling. Estimation of power consumption of the development was evaluated by Xilinx software module. Was shown, that proposed technical solution allows to reduce the power consumption of decoder by about 2 times and save about 30 % of the FPGA resources compared to the known implementations, realized on the FPGA of similar class.

Key words: radio monitoring, amplitude direction finding, direction finding of IEEE 802.11b devices, FPGA, ССК.

Ключевые слова: радиомониторинг, амплитудное пеленгование, пеленгование устройств стандарта IEEE 802.11b, ПЛИС, ССК.

Введение

Задача местоопределения устройств, работающих в составе беспроводных сетей IEEE 802.11, продолжает оставаться актуальной. Способы, с помощью которых в доступной технической литературе предлагается осуществлять местоопределение устройств IEEE 802.11, разнообразны. К примеру, локализация может базироваться на определении разности времени прихода сигнала в различные точки приема [1], либо на пеленговании ИРИ с помощью фазового метода с использованием массива коммутируемых антенн [2]. В указанных работах особенное внимание уделяется пакетной структуре сигнала IEEE 802.11, что осложняет местоопределение ИРИ. При пеленговании необходимо предварительно обнаруживать наличие полезного сигнала. Обнаружение пакетных сигналов IEEE 802.11 может проводиться как простым энергетическим способом, так и более сложными параметрическими способами, которые учитывают структуру сигнала. В представленных работах для обнаружения сигналов с целью последующей локализации устройств используются свойства сигнала IEEE 802.11 – производится поиск заранее известной на приемной стороне преамбулы [1]. По отклику коррелятора на преамбулу пакета проводится временная синхронизация приемника.

Амплитудный метод пеленгования уже много лет успешно используется в ручных носимых пеленгаторах, оснащенных направленной антенной [3] и является хорошей альтернативой способам местоопределения ИРИ

Рассмотрена проблема пеленгования устройств, функционирующих в соответствии со стандартом IEEE 802.11b, носимым амплитудным пеленгатором на базе цифрового радиоприёмника Аргамак-М2. Описан вариант реализации на ПЛИС декодера ССК (Complementary Code Keying), отличающийся от известных конструкций декодеров сниженной выходной скоростью символьного потока и параллельно-последовательной схемой реализации, которая должна понизить потребляемую декодером мощность. Представлено описание работы декодера, его структурная схема, структурная схема параллельно-последовательного блока, осуществляющего поиск максимального значения на выходе блока корреляторов. Методом компьютерного моделирования определена зависимость вероятности битовой ошибки от отношения сигнал-шум, которую обеспечивает разработанное устройство. Произведена оценка потребляемой мощности разработки, которая показала, что предложенное техническое решение позволяет снизить потребляемую декодером мощность приблизительно в 2 раза и сэкономить около 30 % ресурсов ПЛИС по сравнению с известными реализациями на ПЛИС аналогичного класса.

[1], [2] при жёстких требованиях к массогабаритным и стоимостным характеристикам разрабатываемых комплексов. В частности, компания АО «ИРКОС» выпускает цифровой мониторинговый приемник АРГАМАК-М2 [4], на базе которого разработан носимый комплекс амплитудного пеленгования. Полоса одновременного анализа приемника АРГАМАК-М2 составляет 22 МГц, что позволяет производить демодуляцию и декодирование пакетов стандарта IEEE 802.11b как с прямым расширением спектра [5], так и пакетов с типом модуляции ССК [6].

Как было отмечено ранее, процесс пеленгования ИРИ, работающих в соответствии со стандартом IEEE 802.11b, осложняется тем, что сигналы имеют пакетную структуру, и на одной частоте могут одновременно работать не-



сколько ИРИ в режиме с разделением по времени. Для обеспечения возможности построения угловых диаграмм распределения интенсивности принятых сигналов для каждого из ИРИ на ПЛИС, являющейся ядром цифрового радиоприемного устройства (ЦРПУ), следует реализовать цифровой декодер пакетов, который будет производить не только обнаружение пакетов IEEE802.11b, но и определение адреса, порождающего их ИРИ.

Это позволит осуществлять обработку пакетов в режиме реального времени.

Методика построения цифрового обработчика пакетов IEEE 802.11b

Селекция пакетов IEEE802.11

Каждому устройству, функционирующему в соответствии со стандартом IEEE 802.11b, присвоен уникальный mac-адрес [7]. Стандарт предполагает наличие трех типов пакетов: данные (data), управление (management), проверка (control). Для каждого из перечисленных типов определен набор mac-адресов, значение которых указано в соответствующих полях. Все типы пакетов имеют поле, определяющее mac-адрес передатчика. В зависимости от типа пакета и направления передачи информации (from Ds, to Ds) положение поля, соответствующего значению mac-адреса передатчика, может меняться. Таким образом, для корректного декодирования mac-адреса необходимо определить тип пакета и направление передачи.

Декодирование mac-адреса осложняется тем, что стандарт IEEE 802.11b поддерживает несколько типов модуляции. Для повышения достоверности местоопределения пеленгатор должен обеспечивать декодирование как широкополосных пакетов с дифференциальной двоичной фазовой манипуляцией DBPSK [8], так и служебных и информационных пакетов с более сложными видами модуляции: дифференциальной фазовой квадратурной манипуляцией DQPSK [9] и гибридной манипуляцией с дополнительным кодом Complementary Code Keying – ССК [10]. Таким образом, приемник пеленгатора должен иметь в своем составе демодуляторы DBPSK, DQPSK, декодер ССК [11]. Следует отметить, что среди перечисленных типов модуляции наиболее трудоёмким для реализации в ПЛИС является декодер ССК, формально требующий использования 64 комплексных корреляторов, системы поиска максимального среди 64 комплексных значений и измерителя фазы сработавшего коррелятора [12]. Реализация демодуляторов DBPSK, DQPSK в ПЛИС является относительно простой задачей [13], поэтому в настоящей работе будет подробно рассмотрен способ реализации в ПЛИС только ССК-декодера.

Теоретические основы кодирования и декодирования ССК достаточно хорошо описаны в литературе [6]. Существует несколько известных подходов к реализации декодеров ССК на ПЛИС [11], [14], [15] и на заказных микросхемах [16], [17]. При декодировании ССК стараются не использовать подход, использующий банк из 64 комплексных корреляторов [11] ввиду его вычислительной избыточности. Одна из первых, эффективных с вычислительной точки зрения реализаций на

ПЛИС, декодера ССК была разработана на основе быстрого преобразования Уолша (БПУ) [15]. Это позволило снизить избыточность вычислений до использования 28 типовых вычислительных блоков, следовательно, снизить ресурсоемкость декодера. Следующий подход к реализации декодера ССК предполагал использование так называемого модифицированного быстрого преобразования Уолша (МБПУ) [14]. Этот подход использовал последовательную во времени структуру кода ССК. Использование разработанного конвейера позволило повысить вычислительную эффективность декодера, снизив число вычислительных блоков до 13. Представленные реализации декодеров [15], [14] имели внутреннюю скорость вычисления 11 МГц, что совпадает с битовой скоростью потока стандарта IEEE 802.11b. Вычислительная избыточность оставалась достаточно большой в силу того, что частота комплексных отсчетов на входе и выходе декодера были равны, т.е. декодер производил пересчет выходного значения на каждый такт входного сигнала. Предложенная в [17] реализация декодера по последовательной схеме на заказной микросхеме устраняла вычислительную избыточность за счет снижения скорости выходного потока, но при этом внутренняя тактовая частота работы декодера составила 94 МГц. Такая высокая частота приемлема для реализации декодера на заказной микросхеме, но при реализации декодера на ПЛИС использование такой тактовой частоты приведет к значительному повышению мощности, которую будет потреблять декодер. Это обусловлено наличием в ПЛИС транзисторных перепрограммируемых межсоединений между логическими ячейками [18], которые отсутствуют в заказных микросхемах.

При проектировании носимых устройств важными факторами являются массогабаритные показатели и энергопотребление [3], поэтому при разработке декодера необходимо предпринимать все возможные усилия для снижения как расхода ресурсов ПЛИС (таких как логические ячейки, умножители, блоки памяти), так и мощности, которую потребляют блоки декодирования при работе на высокой битовой скорости.

Реализация ССК декодера

При реализации декодера ССК по последовательной схеме [17] необходимость использования достаточно высокой тактовой частоты влечет заметное увеличение потребляемой мощности. Использование параллельной реализации декодера [14], использующего сравнительно низкую тактовую частоту, приводит к неэффективному использованию вычислительных ресурсов ПЛИС, что в конечном счете ведет к их перерасходу. Поэтому с целью снижения потребляемой мощности и сокращения необходимых для реализации декодера ресурсов ПЛИС исполнение блока должно выполняться по параллельно-последовательной схеме с использованием быстрого преобразования Уолша. Выходную частоту комплексных отсчетов декодера также необходимо снизить для уменьшения вычислительной избыточности.

Общая структурная схема приемника ССК сигналов представлена на рис. 1 и включает систему тактовой синхронизации, систему синхронизации ССК и декодер ССК.

В силу конструктивных особенностей мониторингового радиоприёмника АРГАМАК-М2, частью которого является проектируемый декодер, на вход системы тактовой синхронизации поступают отсчеты комплексного сигнала с частотой дискретизации 25 МГц. Система тактовой синхронизации решает две задачи [19]:

- 1) производит передискретизацию сигнала с частоты 25 МГц на частоту 11 МГц;
- 2) осуществляет тактовую синхронизацию на основе преамбулы с модуляцией DBPSK.

Система синхронизации ССК решает задачу временной подстройки:

- 1) осуществляет подсчет символов заголовка физического уровня пакетов (на данном этапе производится определение типа модуляции MAC-уровня);
- 2) выполняет синхронизацию по коррелятору Баркера;
- 3) производит формирование внешнего сигнала разрешения для декодера.

После окончания символов заголовка физического уровня система синхронизации начинает подавать разрешающий сигнал на декодер. Данный сигнал предназначен для синхронизации декодера с символьным потоком, а именно, для организации корректного прореживания символов на выходе декодера.

Декодер ССК выполнен по параллельно-последовательной схеме. Основой построения декодера может служить древовидная структура, базирующаяся на быстром преобразовании Уолша [12] или упрощенная древовидная структура, использующая последовательную структуру кода ССК [14].

Классическая древовидная структура на основе быстрого преобразования Уолша [12] включает набор из 28 типовых вычислительных блоков, осуществляющих сложение комплексных пар отсчетов с 4 различными весовыми коэффициентами (1, -1, 1j, -1j). При модификации данного способа [14] число таких блоков можно уменьшить до 13 за счет конвейерного вычисления корреляции. В обоих случаях обработка производится на тактовой частоте равной битовой скорости потока, которая для сигналов стандарта 802.11b составляет 11 МГц. Для декодирования символа ССК расчет должен быть завершен поиском одного максимального значения среди откликов 64 корреляторов.

Следует отметить, что приведенные в [12], [14] демодуляторы, имеют выходную частоту дискретизации, значение которой совпадает со значением входной ча-

стоты дискретизации, характеризуются вычислительной избыточностью, поскольку при демодуляции 8 комплексных отсчетов преобразуются в результирующий 8-битовый символ, т.е. имеет место сжатие потока. Для повышения вычислительной эффективности отсчеты на выходе должны быть прорежены по времени в 8 раз. Это различие в требуемых скоростях потоков данных на входе и выходе декодера может быть использовано, как минимум, двумя способами:

- а) для повышения тактовой частоты работы расчетных блоков (по отношению к выходу);
- б) для перевода декодера из непрерывного режима работы в режим запуска по внешнему сигналу (с 8-кратной децимацией по времени).

Структурная схема декодера представлена на рис. 2. На входе I присутствует комплексный сигнал с символьной скоростью 11 Мбит/с. Комплексные отсчеты поступают на линию задержки (каждый отвод обозначен на схеме символом D). От каждого отвода сигнал поступает на блоки временного мультиплексирования, которые обозначены на схеме TDM. На входе каждого блока TDM показаны 4 канала, что соответствует повышению тактовой частоты в 4 раза. Пары отсчетов комплексного сигнала на повышенной тактовой частоте поступают на вычислительный блок [14] (на схеме он обозначен COMP). Вычислительный блок за 4 такта повышенной частоты осуществляет суммирование всех комбинаций. Сигнал на повышенной тактовой частоте с каждого выхода блока поступает на временной демультимплексор. После временного демультимплексирования формируется 16 независимых каналов. Сигнал каждого из 16 независимых каналов поступает на блок регистров (обозначение на схеме R), образующих общую группу G1. Запись в регистры производится по внешнему сигналу разрешения от системы синхронизации ССК. Описанные блоки образуют первую стадию обработки, в какой-то мере аналогичную древовидной структуре из работы [14]. Сигнал на выходе регистров группы G1 удерживается на протяжении 8 тактов символьной скорости ССК 11 Мбит/с до прихода следующей расширяющей последовательности.

На второй стадии тактовая частота сигнала снова повышается в 4 раза. За счет повышения тактовой частоты работы блока, введения системы синхронизации и блока регистров G1 вторую стадию обработки удаётся реализовать с использованием 2 вычислительных блоков в отличие от 4 блоков из работы [14]. После 2-й ста-

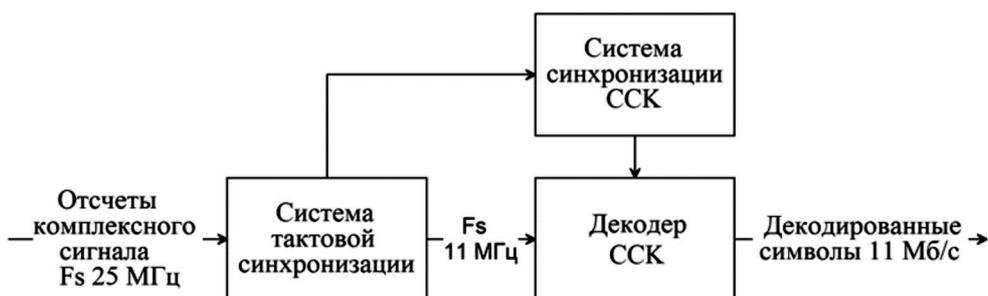


Рис.1. Структурная схема приемника ССК сигналов

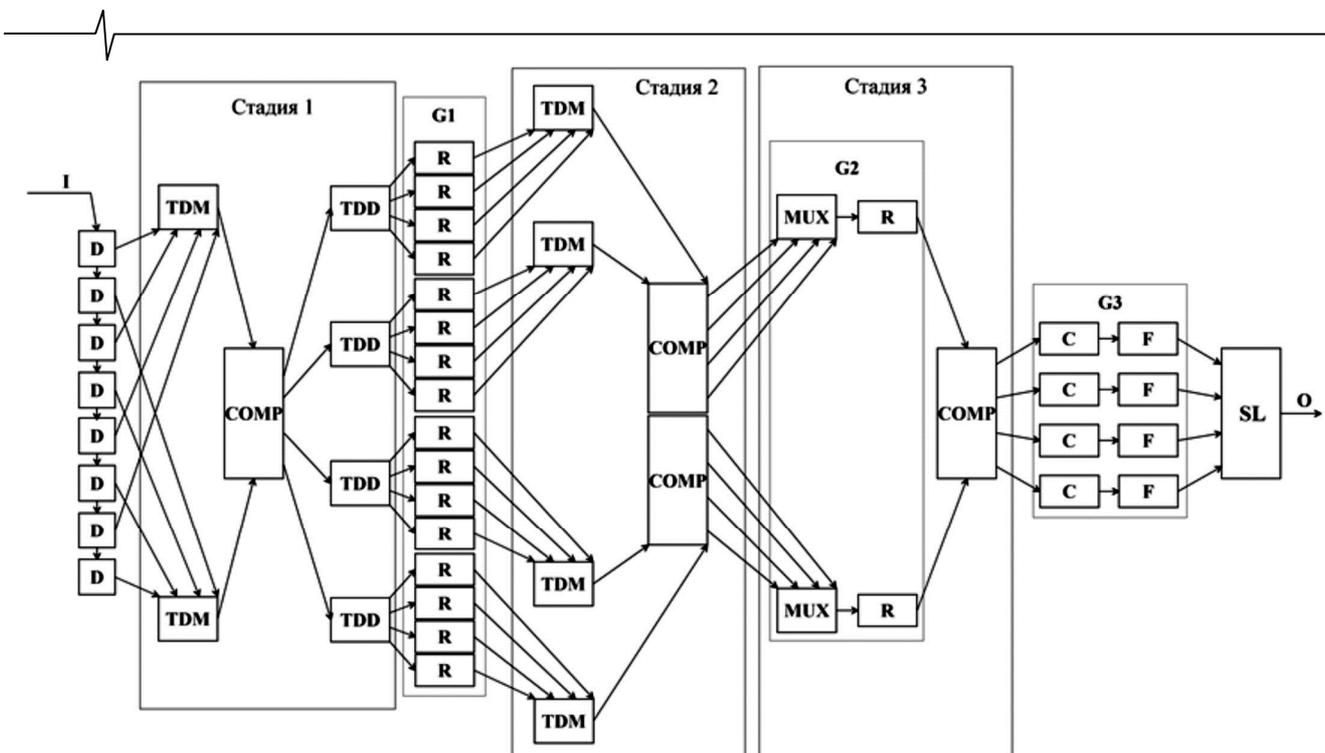


Рис. 2. Структурная схема декодера

дии обработки оказываются сформированными 32 независимых канала (4 физических параллельных канала с 8 параллельными каналами, разделенными во времени). На 3-ей стадии с помощью мультиплексоров и системы синхронизации поток данных разделяется на 2 параллельных канала, каждый из которых несет по 16 разделенных по времени каналов. При этом используется 1 вычислительный блок, а вся схема использует 4 вычислительных блока, а не 13 в случае параллельной реализации [14]. Группа элементов G3 осуществляет поисковую процедуру – определяет модуль комплексных отсчетов с помощью блоков Cordic [21] (на схеме С), производит поиск максимального элемента F. Работой группы элементов G3 управляет система синхронизации. Поисковая система G3 имеет 4 параллельных канала с 16 разделенными по времени каналами в каждом (всего 64 канала). После нахождения максимума в отдельном параллельном канале производится выделение максимального из 4 найденных. Таким образом, по 8 комплексным отсчетам принимается решение о принятом символе, которое соответствует критерию максимума правдоподобия. По номеру сработавшего коррелятора определяются 6 бит информационного символа, а по оценке фазы комплексного отклика коррелятора с наибольшим значением модуля отклика принимается определяются оставшиеся 2 бита.

Результаты

Оценка эффективности разработанного декодера производилась по следующим критериям:

- оценка ресурсов ПЛИС, необходимых для реализации декодера;
- оценка потребляемой декодером мощности;
- оценка помехоустойчивости декодера.

Оценка ресурсов ПЛИС

Одним из наиболее важных параметров декодера является значение разрядности входных данных. С целью снижения аппаратных ресурсов данное значение должно быть максимально уменьшено, но при этом должны выполняться требования, которые предъявляются к декодеру. К таковым относятся вероятность битовой ошибки при заданном значении отношения сигнал/шум; вероятность битовой ошибки при заданном частотном и фазовом рассогласовании.

В результате проведенного моделирования была определена минимальная разрядность входных данных. Значение разрядности входных комплексных данных составило 6 бит. При таком значении не требуется фазовой коррекции, отсутствуют жесткие требования к точности срабатывания системы цифровой автоматической регулировки усиления, отсутствуют жесткие требования к системе фазовой автоподстройки частоты. Погрешность системы фазовой автоподстройки частоты не должна превышать 10 кГц при максимальной длине пакета. При таком значении частотного рассогласования не наблюдается значительного повышения вероятности битовой ошибки декодера [16], но упрощается внутренняя структура системы фазовой автоподстройки частоты.

Для реализации представленной структуры на ПЛИС Xilinx семейства Spartan 3a_dsp требуется использовать 1230 логических ячеек – 800 логических ячеек на блок корреляторов и 530 на блок поиска максимума. При этом оценка объема ресурсов ПЛИС, необходимых для альтернативной реализации древовидной структуры на основе МБПУ, составляет 860 логических ячеек на блок корреляторов и 1680 на весь проект [14].

С помощью встроенного анализатора Xilinx была произведена оценка потребляемой разработанным де-

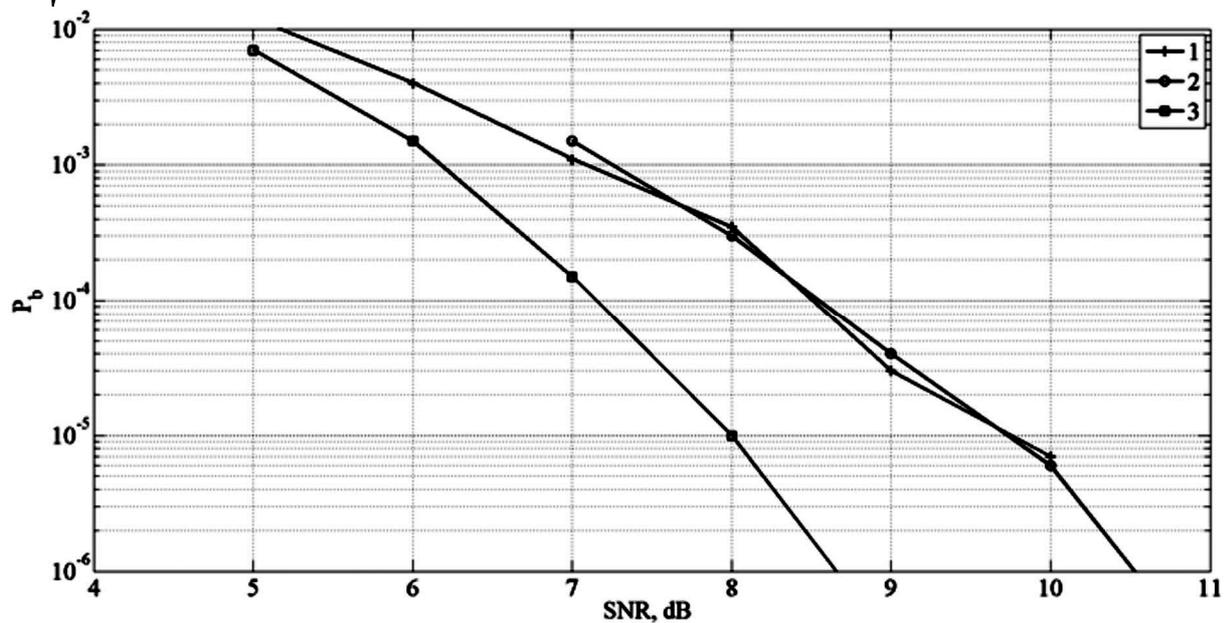


Рис.3. Зависимость вероятности битовой ошибки от отношения С/Ш
(1 – текущая реализация; 2 – реализация [16]; 3 – теоретический предел)

кодером динамической мощности. Аналогичная оценка была проведена для реализации вычислительного блока на основе МБГУ [14] и экстраполирована на структуру в целом. Оценка энергетических затрат показала, что реализация, основанная на МБГУ [14], для массива корреляторов требует порядка 2 мВт на блок (без учета затрат на блоки принятия решения и вычисления уровня мощности). Проект, представленный в настоящей работе, требует 1 мВт на блок корреляторов, а суммарная мощность, потребляемая блоком корреляторов и блоком поиском максимума, составляет 2 мВт. Таким образом, параллельная реализация проигрывает параллельно-последовательной в 2 раза по значению потребляемой мощности.

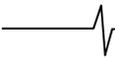
Для оценки помехоустойчивости декодера проводилось статистическое моделирование: на вход декодера подавался зашумленный сигнал с аддитивным гауссовским шумом. Следует отметить, что результаты аналогичного натурального эксперимента были бы не совсем корректны из-за влияния собственных шумов аналогового приемника, интермодуляционных искажений, частотной нестабильности приемника. Тем самым производилась бы оценка помехоустойчивости всего цифрового приемника – системы цифровой регулировки усиления, системы фазовой автоподстройки частоты. На рис. 3 представлена (1) зависимость вероятности битовой ошибки от отношения сигнал/шум, построенная по результатам моделирования для текущей реализации декодера; (2) зависимость вероятности битовой ошибки для реализации декодера на заказной микросхеме [16] и (3) предельная теоретическая зависимость [12], [16]. Приведенные зависимости показывают, что помехоустойчивость разработанного декодера находится на приемлемом уровне по сравнению с известными разработками. При этом текущая разработка на основе параллельно-последовательной схемы реализации декодера обеспечивает 2-х кратное снижение потребляемой декодером мощности по сравнению с параллельной

реализацией декодера [14] при условии использования аналогичной аппаратной базы.

Заключение

Системы передачи информации с прямым расширением спектра, работающие в соответствии со стандартом IEEE 802.11b, получили широкое распространение благодаря хорошей устойчивости к многолучевому прохождению сигналов и интерференции [20]. Местоопределение подобных ИРИ осложняется пакетной структурой протокола и возможностью работы нескольких ИРИ на одной частоте в режиме с разделением по времени, поэтому для обнаружения сигналов следует использовать параметрический обнаружитель, а для корректной обработки сигналов от разных источников - определять мас-адреса передатчиков. В качестве системы, которая бы осуществляла местоопределение вышеозначенных ИРИ, может использоваться ручной амплитудный пеленгатор на базе ЦРПУ АРГАМАК М2, дооснащенный декодером мас-адресов, способным поддерживать все типы модуляции, предусмотренные стандартом IEEE 802.11b – DBPSK, DQPSK, ССК.

Предложенный в работе декодер ССК сигналов отличается от известных осуществлением прореживания по времени отклика корреляторов, что приводит к снижению вычислительной избыточности декодера сигнала ССК, уменьшению в 2 раза потребляемой мощности по сравнению с иными известными конструкциями декодеров, реализованными на аналогичной элементной базе, и сокращению 25 % затрачиваемых на реализацию ресурсов ПЛИС; при этом помехоустойчивость разработанного декодера остается на уровне, не уступающем имеющимся аналогичным реализациям. Благодаря корректному выбору значения разрядности данных, которые поступают на вход устройства, разработанный декодер обладает слабой чувствительностью к частотному рассогласованию и точности настройки уровня входного сигнала, что позволяет упростить системы цифровой автома-



тической регулировки усиления и фазовой автоподстройки частоты.

В дальнейшем планируется модернизировать разработку путем введения модуля оценки канала и эквалайзера [22], [23], что позволит повысить устойчивость декодера к многолучевому распространению сигналов.

Литература

1. Geiger D.J. (2010). High Resolution Time Difference of Arrival Using Timestamps for Localization in 802.11b/g Wireless Networks. 2010 IEEE Wireless Communication and Networking Conference. doi:10.1109/wcnc.2010.5506558.
2. Kalis A. & Antonakopoulos T. (2002). Direction finding in IEEE802.11 wireless networks. IEEE Trans. Instrum. Meas. IEEE Transactions on Instrumentation and Measurement, 51(5), 940-948. doi:10.1109/tim.2002.807806.
3. Rembovsky A. (2009). Radio monitoring: Problems, methods, and equipment. Dordrecht: Springer-Verlag.
4. Рембовский А.М., Ашихмин А.В., & Козьмин В.А. (2015). Радиомониторинг: задачи, методы, средства (4th ed.). Москва: Горячая линия-Телеком.
5. Proakis J.G., & Manolakis D.G. (1996). Digital signal processing: Principles, algorithms, and applications. Upper Saddle River, NJ: Prentice Hall.
6. Al-Banna A., Lee T., Locicero J., & Ucci D. (2006). 11 Mbps CCK – Modulated 802.11b Wi-Fi: Spectral Signature and Interference. 2006 IEEE International Conference on Electro/Information Technology. doi:10.1109/eit.2006.252180
7. IEEE Standard for Information Technology – Telecommunications and Information Exchange Between Systems – Local and Metropolitan Area Networks – Specific Requirements – Part 11: Wireless LAN Medium Access Control (MAC) and Physical Layer (PHY) Specifications. (n.d.). doi:10.1109/ieeestd.2007.373646.
8. Wilson S.G. (1996). Digital modulation and coding. Upper Saddle River, NJ: Prentice Hall.
9. Drilo B., & Flatz L. (n.d.). Comparison of IEEE 802.11g optional standard elements in WLAN hotspot scenario. 17th International Conference on Applied Electromagnetics and Communications, 2003. ICECom 2003. doi:10.1109/icecom.2003.1290976.
10. Peng L., Jun W., & Wei L. (2008). Implementation of CCK based on DSP for a WLAN tranceiver. 2008 6th IEEE International Conference on Industrial Informatics. doi:10.1109/indin.2008.4618092.
11. Chunjiang T., Xin Z., Bo-An L., & Hongyi C. (2003). The design of 802.11b WLAN baseband processor. 2003 5th International Conference on ASIC Proceedings (IEEE Cat No 03TH8690) ICASIC-03. doi:10.1109/icasic.2003.1277344.
12. Andren C., & Webster M. (n.d.). CCK modulation delivers 11Mbps for High Rate IEEE 802.11 extension. 1999 WIRELESS SYMPOSIUM / PORTABLE BY DESIGN CONFERENCE.
13. Mikulka J., & Hanus S. (2007). CCK and Barker Coding Implementation in IEEE 802.11b Standard. 2007 17th International Conference Radioelektronika. doi:10.1109/radioelek.2007.371484.
14. Kok A. Y., & Law K. L. (2007). Systolic Array-Based Pipelining Design of CCK Demodulators. 2007 Canadian Conference on Electrical and Computer Engineering. doi:10.1109/ccece.2007.25.
15. Batabyal S., & Sarmah S. (n.d.). A computationally efficient algorithm for code decision, in CCK based high data rate wireless communications. 2002 IEEE International Conference on Personal Wireless Communications. doi:10.1109/icpwc.2002.1177264.
16. HFA3860B Datasheet pdf – nullDirect Sequence Spread Spectrum Baseband Processor – Intersil. (n.d.). Retrieved July 06, 2016, from http://www.datasheetcatalog.com/datasheets_pdf/H/F/A/3/HFA3860B.shtml
17. Huang S., & Chen S. (2008). A novel pipelined CCK decoder for IEEE 802.11b system. 2008 9th International Conference on Solid-State and Integrated-Circuit Technology. doi:10.1109/icsict.2008.4734860.
18. Xilinx XC3S400A Spartan-3A FPGA. (n.d.). Retrieved July 8, 2016, from http://www.xilinx.com/support/documentation/data_sheets/ds529.pdf
19. Igorevich S.M., & Borisovich T.A. (2015). Digital receiver for addressed direction finding of modern communication standards. 2015 International Siberian Conference on Control and Communications (SIBCON). doi:10.1109/sibcon.2015.7147223.
20. Nguyen L. (n.d.). Self-encoded spread spectrum and multiple access communications. 2000 IEEE Sixth International Symposium on Spread Spectrum Techniques and Applications. ISSTA 2000. Proceedings (Cat. No.00TH8536). doi:10.1109/isssta.2000.876463.
21. Y.H. HU, «CORDIC based VLSI architecture for digital signal processing», IEEE signal processing Magazine, vol. 9, no. 3, pp. 16-35, 1992. doi: 10.1109/79.143467.
22. Jonietz C., Gerstacker W., & Schober R. (n.d.). Space-Time Block Coding and Receive Diversity for WLAN IEEE 802.11b. IEEE International Conference on Communications, 2005. ICC 2005. 2005. doi:10.1109/icc.2005.1494906.
23. Jonietz C., Gerstacke, W., & Schober R. (2006). Transmission and Reception Concepts for WLAN IEEE 802.11b. IEEE Transactions on Wireless Communications IEEE Trans. Wireless Commun., 5(12), 3375-3381. doi:10.1109/twc.2006.256959.