

УДК 621.382

## СПОСОБЫ РЕАЛИЗАЦИИ НА ПЛИС МНОГОКАНАЛЬНЫХ АДАПТИВНЫХ КИХ-ФИЛЬТРОВ ДЛЯ СИСТЕМ АКТИВНОГО ПОДАВЛЕНИЯ АКУСТИЧЕСКОГО ШУМА\*

*Ушенина И.В., к.т.н., доцент кафедры вычислительных машин и систем Пензенского государственного технологического университета, e-mail: ivl23@yandex.ru.*

### FPGA IMPLEMENTATION TECHNIQUES FOR MULTI-CHANNEL ADAPTIVE FIR FILTERS OF ACTIVE NOISE CONTROL SYSTEMS

*Ushenina I.V.*

*Adaptive filters implementation for active noise control (ANC) systems may require high-performance DSP devices. This paper shows a dependency of ANC system performance required from ANC system's parameters, and analyses multi-channel adaptive filters' structures possible for FPGA sources. Some FPGA-implementation results of a structure recognized as the most suitable are also represented.*

**Key words:** active noise control, multi-channel adaptive filtering, FPGA.

**Ключевые слова:** активное подавление шума, многоканальная адаптивная фильтрация, ПЛИС.

#### Введение

Способ подавления акустического шума противофазным компенсирующим сигналом был предложен еще в 1933 году, однако его использование для решения многих практических задач стало возможным лишь с появлением высокопроизводительных устройств цифровой обработки сигналов [1, 2].

Наиболее распространены системы активного подавления шума (АПШ) с опорным сигналом [1-4], которые рассматриваются и в данной работе. В состав таких систем входят микрофоны или датчики другого типа, регистрирующие шум в выбранной точке (опорный сигнал  $x$ ) и результат взаимодействия шума с компенсирующим сигналом (сигнал ошибки  $e$ ). На основе  $x$  и  $e$  контроллер системы АПШ вырабатывает компенсирующий сигнал  $y$ , для излучения которого чаще всего используется динамик [1].

Контроллер большинства систем активного подавления шума (АПШ) представляет собой адаптивный фильтр (АФ), реализующий алгоритм наименьших средних квадратов с предварительной фильтрацией опорного сигнала (FXLMS, filtered-x least mean square [5]).

На рис. 1 представлена структура системы АПШ с опорным сигналом. Здесь:  $P(z)$  – передаточная функция акустического пути распространения шума от опорного микрофона до точки суммирования шума и компенсирующего сигнала;  $W(z)$  – передаточная функция АФ;  $S(z)$  – передаточная функция пути компенсации, включающего

*Реализация адаптивных фильтров систем активного подавления акустического шума (АПШ) может требовать высокопроизводительных устройств цифровой обработки сигналов. Показана зависимость требуемой производительности системы АПШ от ее параметров и проанализированы возможные способы структурной организации многоканальных адаптивных фильтров на ресурсах ПЛИС FPGA. Для структуры фильтра, признанной по итогам анализа наилучшей, приведены некоторые результаты ее реализации на FPGA.*

динамик – от выхода АФ до точки суммирования;  $E(z)$  – передаточная функция пути сигнала ошибки, включающего микрофон ошибки – от точки суммирования до входа блока адаптации;  $\hat{S}(z)$  – оценка передаточных функций пути компенсации и пути сигнала ошибки, используемая алгоритмом FXLMS для предварительной фильтрации опорного сигнала;  $x(n)$ ,  $x'(n)$ ,  $e(n)$ ,  $y(n)$  – действующие на шаге дискретизации  $n$  опорный сигнал, результат предварительной фильтрации опорного сигнала, отсчет компенсирующего сигнала и сигнал ошибки соответственно. Фильтр  $W(z)$ , блок адаптации и фильтр-оценка  $\hat{S}(z)$  входят в состав контроллера системы АПШ.

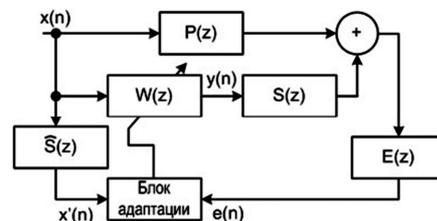


Рис. 1. Система АПШ с опорным сигналом

#### Параметры систем АПШ и требуемая производительность контроллера

Производительность, требуемая от контроллера системы АПШ, в том числе требуемое количество операций умножения с накоплением в секунду, зависит от спектрального состава подавляемого шума и условий его распространения (геометрия области распростране-

\*Исследование выполнено при финансовой поддержке РФФИ в рамках научного проекта №14-07-31091 мол\_а

ния шума, свойства отражающих шум поверхностей, особенности  $P(z)$  и  $S(z)$ ). Данные факторы определяют требования к количеству каналов системы, а также к порядкам АФ ( $N$ ) и фильтров-оценок ( $L$ ).

Система АПШ в общем случае содержит  $J$  опорных микрофонов,  $M$  микрофонов ошибки и  $K$  динамиков, компенсирующих шум. Каждая пара «опорный микрофон-динамик» имеет собственный АФ (рис. 2). Таким образом, количество АФ в многоканальной системе АПШ равно  $J \cdot K$ . На каждый  $k$ -й динамик поступает сумма  $Y_k$  результатов обработки всех  $J$  опорных сигналов системы (1):

$$Y_k(n) = \sum_{j=1}^J y_{kj}(n). \quad (1)$$

Каждый  $y_{kj}(n)$  является результатом фильтрации  $j$ -го опорного сигнала  $k$ -м АФ (2):

$$y_{kj}(n) = \sum_{i=0}^{N-1} x_j(n-i) \cdot w_{kj}^i(n), \quad (2)$$

где  $Y_k(n) = \sum_{j=1}^J y_{kj}(n)$  –  $i$ -й из  $N$  коэффициентов  $k$ -го АФ на  $n$ -м шаге дискретизации.

В многоканальной системе должны присутствовать  $M \cdot K$  фильтров-оценок, соответствующих  $M \cdot K$  парам «динамик-микрофон ошибки». В результате фильтрации векторов  $X_j(n)$  отсчетов опорного сигнала фильтрами-оценками (3) в каждом интервале дискретизации получаем  $M \cdot K \cdot J$  значений  $x'_{mkj}(n)$ :

$$x'_{mkj}(n) = \sum_{i=0}^{L-1} x_j(n-i) \cdot \hat{s}_{mk}^i, \quad (3)$$

где  $\hat{s}_{mk}^i$  –  $i$ -й из  $L$  коэффициентов  $mk$ -го фильтра-оценки с передаточной функцией  $\hat{S}_{mk}(z)$ .

В формулах (2) и (3) предполагаем, что порядки  $N_{kj}$  всех АФ одинаковы и равны  $N$ ; порядки  $L_{mk}$  всех фильтров-оценок путей компенсации одинаковы и равны  $L$ .

Критерием оптимизации коэффициентов АФ является минимум суммы квадратов сигналов ошибки. Блок адаптации каждого  $k$ -го АФ принимает сигналы  $e_m(n)$  от всех имеющихся в системе микрофонов ошибки, а также результаты обработки  $j$ -го опорного сигнала оценками передаточных функций между  $k$ -м динамиком и каждым из микрофонов ошибки. Расчет коэффициентов  $k$ -го АФ осуществляется по формуле (4):

$$w_{kj}^i(n+1) = w_{kj}^i(n) + \mu \cdot \sum_{m=1}^M e_m(n) \cdot x'_{mkj}(n-i), \quad (4)$$

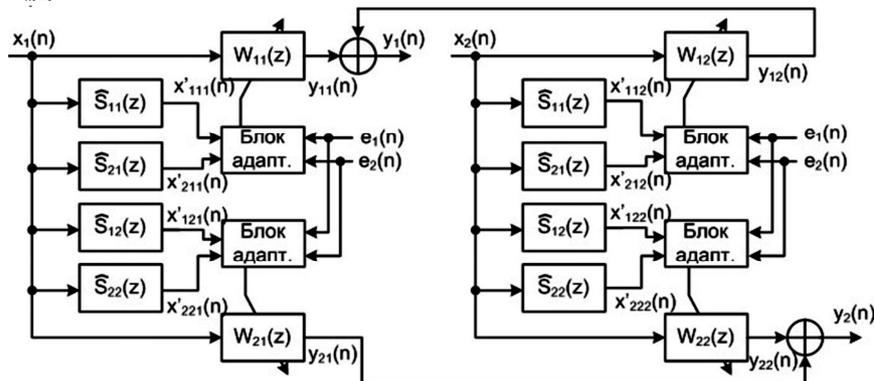


Рис. 2. Структура контроллера системы АПШ при  $J=K=M=2$

где  $\mu \ll 1$  – шаг сходимости адаптивного алгоритма [5].

Таким образом, на каждом интервале дискретизации должно быть выполнено  $J \cdot K \cdot N$  умножений с накоплением для расчета  $y_{kj}$ ,  $J \cdot K \cdot M \cdot L$  умножений с накоплением для расчета набора  $x'_{mkj}(n)$  и  $M \cdot K \cdot J \cdot N$  умножений с накоплением для расчета новых коэффициентов АФ. Количество  $P$  операций умножения с накоплением, выполняемое контроллером в секунду, должно составлять (5):

$$P = F_s \cdot [(N+L) \cdot M \cdot K \cdot J + N \cdot K \cdot J], \quad (5)$$

где  $F_s$  – частота дискретизации системы АПШ, превышающая частоту подавляемого шума приблизительно в 10 раз [1].

Значения  $J$ ,  $K$ ,  $M$  на практике составляют несколько десятков, а в отдельных случаях достаточно  $J=K=M=1$  [1, 4]. Выбор  $N$  зависит от спектрального состава подавляемого шума, а также характеристик акустического пути и пути компенсации. АФ совместно с передаточной функцией пути компенсации должны как можно точнее воспроизводить передаточную функцию акустического пути распространения шума на частотах подавляемого шума. Если спектр шума содержит несколько дискретных составляющих, на каждую из них АФ должен содержать по 4-20 коэффициентов [1, 3]. Для различных задач подавления случайного шума со сплошным спектром  $N$  может составлять от нескольких сотен до одной-двух тысяч коэффициентов [2, 3, 6, 7].  $L$  выбирается с учетом того, что ФЧХ фильтра-оценки не должна отличаться от ФЧХ оригинала более чем на  $45^\circ$ , чтобы избежать нестабильности АФ [1]. При невысоких порядках АФ  $L$  часто выбирается равным  $N$  [2]. Далее будем полагать, что  $L \leq N$ .

Контроллеры систем АПШ чаще всего реализуются на цифровых сигнальных процессорах (ЦСП) [1, 2]. Подстановка в (5) значений  $M$ ,  $K$ ,  $J$ ,  $N$ ,  $L$ ,  $F_s$ , соответствующих многоканальной системе АПШ для подавления случайного низкочастотного шума, показывает, что производительность контроллера должна составлять десятки или сотни GMACs (миллиардов операций умножения с накоплением в секунду). Это соответствует максимуму возможностей наиболее производительных современных многоядерных ЦСП [8] или превышает его. Существует практика реализации контроллеров систем АПШ на нескольких ЦСП [1, 3], однако с повышением требований к производительности целесообразно рассмотреть возможность использования ПЛИС FPGA. Эти устройства содержат до нескольких тысяч ячеек цифро-

вой обработки сигналов, и обеспечивают производительность порядка  $10^{12}$  операций умножения с накоплением в секунду даже при более низкой тактовой частоте, чем у ЦСП.

Количество ЦОС-ячеек, сравнимое с порядками АФ, и программируемые соединения между ресурсами FPGA дают возможность выбора структурной организации контроллера. В оставшейся части статьи выполняется анализ возможностей структурной организации контроллера многоканальной системы АПШ на базе FPGA последнего поколения [9], с учетом количества, ресурсов и структуры ЦОС-ячеек этих устройств.

### Критерии выбора структуры контроллера на ЦОС-ячейках FPGA

Можно выделить два подхода к структурной организации контроллера:

- контроллер в виде единой структуры из  $N$  ЦОС-ячеек, выполняющей параллельную фильтрацию с временным разделением ресурсов [10];

- контроллер в виде массива независимых друг от друга ЦОС-ячеек, каждая из которых последовательно выполняет  $N$  или  $L$  умножений с накоплением, обрабатывая собственный набор сигналов.

В рамках каждого из подходов можно выделить несколько вариантов структур контроллера. Выберем в каждом из подходов наилучшие варианты и сравним их.

Критериями выбора являются: 1) независимость максимальной тактовой частоты структуры  $c_{max}$  от порядков фильтров и количества каналов; 2) соответствие структуры возможностям современных FPGA по ресурсоемкости и быстродействию.

Соответствие первому критерию обеспечивает регулярная конвейеризированная структура, которую возможно разделить на одинаковые, взаимозаменяемые блоки. При этом увеличение  $N$ ,  $L$ ,  $M$ ,  $K$ ,  $J$  в идеале не должно вносить изменений в блоки, а приводить только к увеличению их количества.

Соответствие второму критерию отчасти достигается за счет нахождения баланса между объемами параллельных и последовательных вычислений, выполняемых в каждом интервале дискретизации. С другой стороны, требуемый объем памяти для хранения отсчетов входных сигналов, коэффициентов фильтров и результатов промежуточных вычислений определяется параметрами  $N$ ,  $L$ ,  $M$ ,  $K$ ,  $J$ , а не структурой контроллера. Так, при 16-разрядном представлении чисел для хранения коэффициентов АФ требуется  $16 \cdot N \cdot K \cdot J$  бит памяти; для хранения коэффициентов фильтров-оценок –  $16 \cdot L \cdot M \cdot K$  бит; для хранения  $J$  векторов из  $N$  отсчетов опорных сигналов –  $16 \cdot N \cdot J$  бит. Для хранения  $N$  наборов из  $M \cdot K \cdot J$  значений результатов предварительной фильтрации опорных сигналов –  $16 \cdot N \cdot M \cdot K \cdot J$  бит, т.е. порядка половины от общего требуемого объема памяти. Для экономии памяти целесообразно сохранять не сами значения  $x'_{mkj}(n-i)$ , а результат их умножения на  $\mu$ . Если  $\mu$  является отрицательной степенью двойки, требуется сохранить несколько старших разрядов каждого из значений  $x'_{mkj}(n-i)$ .

### Возможности реализации контроллера как единой структуры из $N$ ЦОС-ячеек

Многоканальный адаптивный FXLMS-фильтр может быть построен добавлением к классической структуре параллельного КИХ-фильтра блоков адаптации и предварительной фильтрации опорных сигналов и обеспечением временного разделения ресурсов.

Из трех вариантов структур параллельных фильтров – систолической, транспонированной или «бинарного дерева» [10, 11] – для доработки и последующего анализа выбран первый. Транспонированная структура при адаптивной фильтрации будет выполнять расчет выходного сигнала с использованием коэффициентов АФ, рассчитанных на  $N$  последних интервалах дискретизации [11], тогда как алгоритм FXLMS предписывает использовать набор коэффициентов, рассчитанных только на интервале, предшествующем текущему. Кроме того, у транспонированной структуры один и тот же отсчет  $x_j(n)$  подается сразу на все умножители, что может растянуть переходные процессы при переключении уровня сигнала. Структура «бинарное дерево» не соответствует первому из сформулированных выше критериев, т.к. помимо регулярной последовательности ЦОС-ячеек требует дополнительных внешних сумматоров, количество которых составляет половину порядка фильтра.

Систолическая структура состоит из одинаковых, последовательно соединенных блоков, которые в случае реализации одноканального неадаптивного фильтра полностью отображаются на ресурсы ЦОС-ячеек FPGA, не требуя дополнительно программируемых элементов кристалла. Каждый отсчет входного сигнала последовательно поступает на все ЦОС-ячейки по очереди, продвигаясь по цепочке регистров, поэтому зависимость максимума тактовой частоты от  $N$  отсутствует.

При реализации многоканального КИХ-фильтра параллельной систолической структуры вычислительное ядро каждого отвода (сумматор, умножитель) реализуется на ЦОС-ячейке, а для формирования и хранения последовательности обрабатываемых отсчетов, хранения коэффициентов фильтров и продвижения отсчетов входных сигналов должны использоваться программируемая логика и блочное ОЗУ [10].

Структура контроллера многоканальной системы АПШ, основанная на систолической структуре параллельного КИХ-фильтра, приведена на рис. 3. Элементы контроллера, входящие в состав ЦОС-ячеек, выделены. Исходя из предположения, что  $N \geq L$ , структура должна иметь  $N$  ЦОС-ячеек. Каждая  $i$ -я из  $N$  ячеек умножает  $x_j(n-i)$  на коэффициенты  $w_{kj}^i(n)$  и  $s_{mk}^i$ , а также выполняет перерасчет набора  $i$ -х коэффициентов  $K \cdot J$  адаптивных фильтров.

С каждой  $i$ -й ЦОС-ячейкой связаны блоки ОЗУ, хранящие  $i$ -е коэффициенты каждого из АФ и фильтров-оценок. Сигналы ошибки поступают на все ЦОС-ячейки от общего блока памяти. На один из входов каждого  $i$ -го умножителя от элементов задержки  $Z^{-J(KM+1)}$  подаются  $x_j(n-i)$  и  $\mu \cdot x'_{mkj}(n-i)$ ; на другой вход через мультиплексор 1 – коэффициенты  $w_{kj}^i(n)$ ,  $s_{mk}^i$  или отсчеты сигналов ошибки  $e_m(n)$ . Через мультиплексор 2 на один

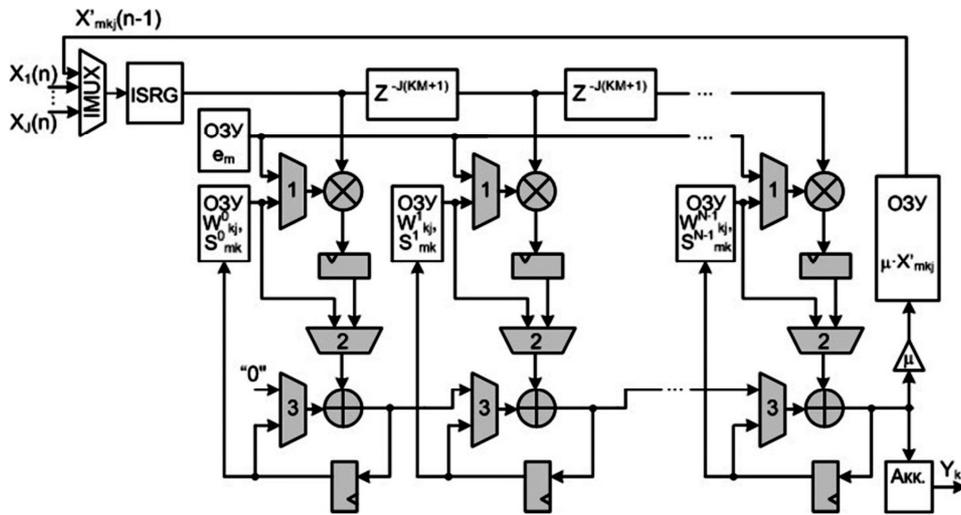


Рис. 3. Единая структура контроллера многоканальной системы АПШ

из входов каждого  $i$ -го сумматора при фильтрации поступает результат умножения  $x_j(n-i)$  на  $w_{kj}^i(n)$  или на  $s_{mk}^i$ ; при вычислении коэффициентов АФ – коэффициент  $w_{kj}^i(n)$  или очередное произведение  $e_m(n)$  на  $\mu \cdot x'_{mkj}(n-i)$ . Через мультиплексор 3 на другой вход каждого из сумматоров при фильтрации поступает накопленная предыдущими ЦОС-ячейками сумма произведений  $x_j(n-i)$  на  $w_{kj}^i(n)$  или на  $s_{mk}^i$ ; при вычислении коэффициентов АФ – сумма произведений  $e_m(n)$  на  $\mu \cdot x'_{mkj}(n-i)$ , накопленная аккумулятором ЦОС-ячейки на предыдущих шагах вычисления.

Операции в каждом интервале дискретизации выполняются в следующем порядке. С приходом очередного набора  $x_j(n)$  и  $e_m(n)$  мультиплексором IMUX и сдвиговым регистром ISRG формируется последовательность данных (рис. 4), поступающих на ЦОС-ячейки и элементы задержки структуры.

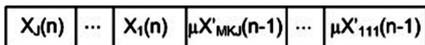


Рис. 4. Последовательность поступления данных на контроллер (первым поступает  $\mu \cdot x'_{111}(n-1)$ )

В сформированной последовательности первыми стоят  $M \cdot K \cdot J$  значений  $\mu \cdot x'_{mkj}(n-1)$ , рассчитанных на предыдущем шаге дискретизации, а затем – поступившие от опорных микрофонов  $J$  значений  $x_j(n)$ . Это позволяет сформировать всю последовательность обрабатываемых данных, не дожидаясь расчета нового набора  $\mu \cdot x'_{mkj}(n)$ . Таким образом, в начале каждого интервала дискретизации рассчитываются и перезаписываются новые коэффициенты АФ, затем выполняется фильтрация опорных сигналов и получение набора  $Y_k(n)$  и  $\mu \cdot x'_{mkj}(n)$ . При этом значения  $\mu \cdot x'_{mkj}(n-1)$  используются по одному разу; значения  $x_j(n)$  используются по  $K$  раз при расчете  $y_{kj}(n)$  и по  $M \cdot K$  раз при расчете  $x'_{mkj}(n)$ .

На расчет очередного набора значений  $y_{kj}(n)$  требуется  $K \cdot J$  тактов; на расчет набора значений  $x'_{mkj}(n)$  –  $M \cdot K \cdot J$  тактов; на перерасчет коэффициентов АФ –  $K \cdot J \cdot (M+1)$  тактов. Итого, цикл вычислений требует  $2 \cdot K \cdot J \cdot (M+1)$  тактов, а тактовая частота  $c$  структуры, реализуемой на ПЛИС, должна составлять не менее:

$$c = 2 \cdot K \cdot J \cdot (M+1) \cdot F_s.$$

Максимальная тактовая частота  $c_{max}$  ЦОС-ячеек FPGA – около 600 МГц [9];  $F_s$  для случайного низкочастотного шума – единицы кГц [1,3], что создает достаточный запас по быстродействию для типичных значений  $M$ ,  $K$  и  $J$ . Однако для реализации многоканального FXLMS-алгоритма к регулярной систолической структуре, использующей только ЦОС-ячейки и работающей с частотой дискретизации 600 МГц, добавляются мультиплексор, регистр сдвига и элементы задержки. Ресурсы для реализации этих устройств у ЦОС-ячеек отсутствуют, поэтому должна быть использована программируемая логика. Это обстоятельство и само по себе может снизить  $c_{max}$ ; кроме того,  $c_{max}$  начинает зависеть от  $M$ ,  $K$ ,  $J$ . Таким образом, первому из сформулированных выше критериев единая структура многоканального контроллера не соответствует.

Данная структура имеет и другие недостатки. Во-первых, ЦОС-ячейки не имеют достаточного для многоканальной адаптивной фильтрации количества мультиплексоров. Поэтому приходится компоновать  $w_{kj}^i(n)$  и  $s_{mk}^i$  в общие блоки памяти (рис. 3), а  $x_j(n-i)$  и  $\mu \cdot x'_{mkj}(n-i-1)$  в общий поток (рис. 4). Это приводит к усложнению схемы управления структурой, т.к. каждый отсчет  $x_j(n-i)$  требуется умножить на  $K$  коэффициентов АФ  $w_{kj}^i(n)$ , а затем – на  $M \cdot K$  коэффициентов фильтров-оценок, в общем случае расположенных в блоке памяти не сразу вслед за  $w_{kj}^i(n)$ . Кроме того, поскольку  $\mu \cdot x'_{mkj}(n-i-1)$  используются в каждом интервале дискретизации по одному разу, а  $x_j(n-i)$  – по  $K(M+1)$  раз, сдвиг в элементах задержки должен выполняться с различной частотой. Во-вторых, если  $N$  и/или  $L$  неодинаковы от канала к каналу, количество ЦОС-ячеек в структуре соответствует максимальному порядку фильтра. При этом появляется непроизводительный расход памяти (хранение коэффициентов фильтров, равных нулю) или дополнительное усложнение схемы управления, позволяющее выборочно заполнять элементы задержки. Съём результатов фильтрации во втором случае будет осуществляться в нескольких точках.

**Возможности реализации контроллера как массива ЦОС-ячеек**

ЦОС-ячейки, независимо друг от друга последовательно выполняющие умножение с накоплением, могут быть организованы в массив по-разному. Наиболее удачный в смысле соответствия сформулированным выше критериям вариант представлен на рис. 5.

Массив состоит из  $K \cdot J$  вычислительных блоков, содержащих по две ЦОС-ячейки. К первой ячейке каждого из блоков относятся устройства умножения с накоплением MAC1 и мультиплексоры (рис. 5); ко второй – устройства умножения с накоплением MAC2. Режимы работы каждой из ЦОС-ячеек показаны на рис. 6. В состав каждого  $k_j$ -го блока входят также ОЗУ для хранения коэффициентов  $k_j$ -го АФ ( $W_{kj\_RAM}$ ) и последних  $N$  результатов фильтрации опорных сигналов ( $X'_{mki\_RAM}$ ).

К каждой  $j$ -й «строке» массива подводится вектор  $X_j(n)$  от блоков памяти  $X_j\_RAM$ ; каждый  $k$ -й «столбец» формирует выходной сигнал  $Y_k$  и использует при предварительной фильтрации опорных сигналов одни и те же наборы коэффициентов  $S_{mk}$ , содержащиеся в блоках памяти  $S_k\_RAM$ . Отсчеты сигналов ошибки хранятся в отдельном блоке памяти  $e_m\_RAM$ . Организация блоков памяти представлена на рис. 7.

Перед умножителями, после умножителей и после сумматоров ЦОС-ячеек с целью повышения  $c_{max}$  подключены регистры (рис. 6). MAC1 на фильтрацию векторов  $X_j(n)$  коэффициентами АФ требуется  $N+3$  такта, плюс  $J-1$  тактов «столбцу» MAC1 требуется на вычисление  $Y_k$ . На предварительную фильтрацию  $X_j(n)$  требуется  $M \cdot (L+3)$  тактов. MAC2 выполняет пересчет коэффициентов АФ в течение  $N(M+4)$  тактов.

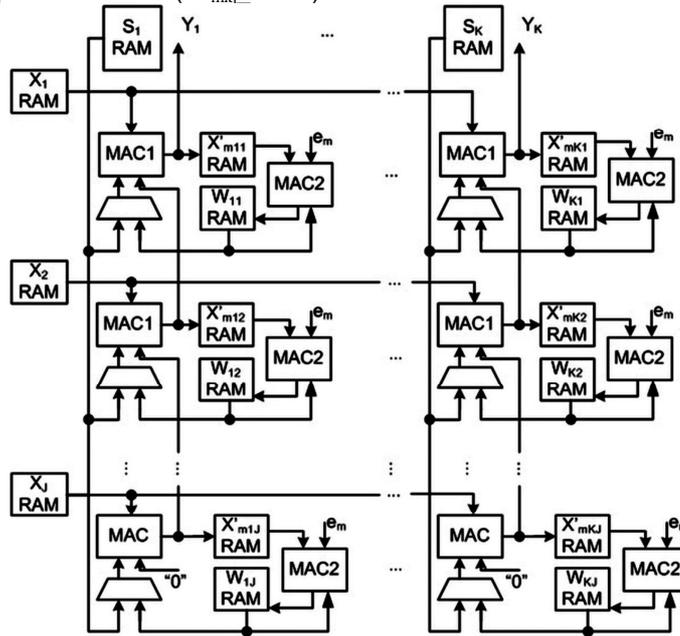


Рис. 5. Структура контроллера системы АГШ как массива независимых блоков

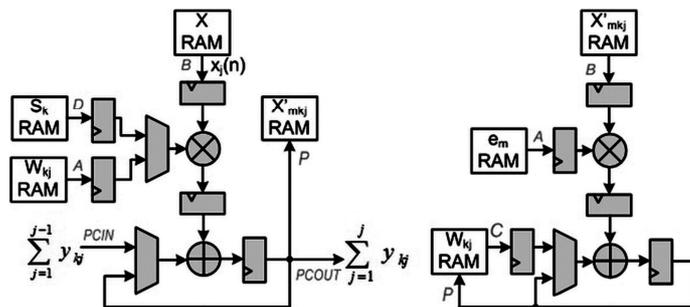


Рис. 6. Режимы работы ЦОС-ячеек

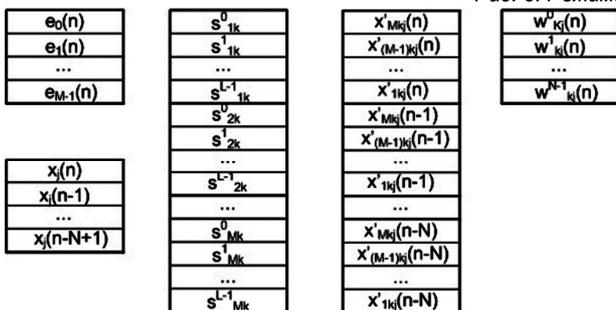


Рис. 7. Организация блоков памяти контроллера

Параллельную работу MAC1 и MAC2 целесообразно организовать во время вычисления наборов  $x'_{mkj}(n)$  и векторов коэффициентов  $w'_{kj}(n)$  соответственно. Это возможно, если каждый интервал дискретизации начинается с данных операций, и вычисленные в текущем такте наборы  $x'_{mkj}(n)$  при расчете  $w'_{kj}(n)$  не используются. Вычисленные  $w'_{kj}(n)$  используются АФ в этом же интервале дискретизации. Поскольку  $M \cdot (L+3)$  меньше  $N \cdot (M+5)$ , все вычисления займут приблизительно  $N \cdot (M+6)$  тактов.

Основные характеристики ресурсоемкости и быстро-

действия двух рассмотренных вариантов реализации контроллера системы АПШ приведены в табл. 1. Сравнение данных вариантов позволяет заключить, что массив независимых блоков в большей степени соответствует сформулированному выше критерию. Максимальная тактовая частота массива независимых блоков менее зависима от параметров системы АПШ, т.к. увеличение  $K$  и  $J$  не вносит изменений в блоки, увеличивая только их количество, а с увеличением  $M, N, L$  увеличивается только требуемый объем памяти  $W_{ki\_RAM}$  и  $X'_{mki\_RAM}$ . Вся структура реализуется на специализированных ресурсах FPGA с фиксированными скоростными характеристиками – ЦОС-ячейках и блочном ОЗУ. Максимальная тактовая частота единой структуры более зависима от  $J, K, M, N$  из-за потребности в мультиплексоре и сдвиговых регистрах на  $J(KM+1)$  ячеек, реализуемых на программируемой логике. Кроме того, массив независимых блоков требует меньшего количества ЦОС-ячеек, и при этом сохраняет достаточный запас по производительности.

В табл. 2 приведены результаты исследования зависимости  $c_{max}$  отдельного вычислительного блока от  $N$  при  $M=2$ , полученные при использовании временного анализатора среды WebPACK ISE после реализации проекта. Снижение  $c_{max}$  при  $N=512$  и  $N=1024$  объясняется тем, что для реализации блоков памяти  $X'_{mki\_RAM}$  и  $W_{ki\_RAM}$  одного блочного ОЗУ объемом 18 кбит [9] становится недостаточно.

Таблица 1. Характеристики структур контроллера многоканальной системы АПШ

	Кол-во ЦОС-ячеек	Объем памяти (хранится 5 разрядов $\mu X'$ )	Кол-во тактов на цикл вычислений
Единая	$N$	$16N(KJ+MK+J)+5NJMK$	$2KJ(M+1)$
Массив независимых блоков	$2KJ$	$16N(KJ+MK+J)+5(N+1)JMK$	$N(M+6)$

Таблица 2. Зависимость  $c_{max}$  вычислительного блока от  $N$

$N$	16	32	64	128	256	512	1024
$c_{max}$ , МГц	447	447	447	447	447	411	411

### Реализация на FPGA контроллера в виде массива независимых блоков

Входы и выходы ЦОС-ячеек делятся на внутренние, т.е. доступные только другим ЦОС-ячейкам при их объединении в цепочку, и внешние, т.е. доступные программируемой логике [9]. На умножитель ЦОС-ячейки могут одновременно поступать два из трех внешних входных сигналов ЦОС-ячейки –  $B$  и  $A$  или  $B$  и  $D$ ; непосредственно на вход сумматора может поступать внешний входной сигнал  $C$  (рис. 6). В MAC1 на входы  $B$  подаются отсчеты  $X_j(n)$ ; на входы  $A$  и  $D$  – коэффициенты АФ и фильтров-оценок. Внешний выход  $P$  MAC1 используется для со-

единения с блоком памяти  $X'_{mki\_RAM}$ . Внутренние вход и выход PCIN и PCOUT используются для приема и передачи сумм  $y_{kj}$ . В MAC2 на входы  $B$  подаются значения  $\mu \cdot x'_{mkj}$ , на входы  $A$  – отсчеты сигналов ошибки. На вход  $C$  подаются коэффициенты АФ (4). Новые значения коэффициентов АФ поступают на блоки памяти  $W_{ki\_RAM}$  от внешних выходов  $P$  MAC2.

Контроллер содержит  $J$  блоков ОЗУ  $X_i\_RAM$  по  $N$  ячеек;  $K \cdot J$  блоков  $W_{ki\_RAM}$  по  $N$  ячеек;  $K$  блоков  $S_k\_RAM$  по  $M \cdot L$  ячеек;  $K \cdot J$  блоков  $X'_{ki\_RAM}$  по  $M(N+1)$  ячеек; блок ОЗУ на  $M$  ячеек для хранения сигналов ошибки. Блоки памяти  $X_i\_RAM$  и  $X'_{ki\_RAM}$  работают по принципу циклических буферов.  $W_{ki\_RAM}$  и  $X'_{ki\_RAM}$  являются двухпортовыми ОЗУ.

Управление массивом блоков осуществляется автоматом, состоящим из двух частей с собственными наборами состояний. Первая часть управляет работой MAC1, чтением  $S_k\_RAM$ , чтением и записью  $X_i\_RAM$ , чтением  $W_{ki\_RAM}$  и записью  $X'_{ki\_RAM}$ . Вторая часть управляет работой MAC2, чтением и записью  $e_m\_RAM$ , чтением  $X'_{ki\_RAM}$ , чтением и записью  $W_{ki\_RAM}$ .

### Заключение

С учетом основных характеристик рассмотренных структур можно заключить, что предпочтение следует оказывать структуре контроллера в виде массива независимых блоков.

### Литература

1. Hansen C.H., et al. Active control of noise and vibration. – 2nd ed. CRC Press, 2012.
2. Kuo S.M., Morgan D.R. Active noise control systems: algorithms and DSP implementations. John Wiley & Sons, Inc., 1995.
3. Snyder S.D. Active noise control primer. Springer, 2000.
4. Elliott S. Signal processing for active control. Academic Press, 2000.
5. Уидроу Б., Стирнз С. Адаптивная обработка сигналов: Пер. с англ. - М.: Радио и связь, 1989. - 440с.
6. Morgan, D.R., and D.A. Quinlan. «Local silencing of room acoustic noise using broadband active noise control». Applications of Signal Processing to Audio and Acoustics, 1993. Final Program and Paper Summaries., 1993 IEEE Workshop on. IEEE, 1993.
7. Roure A. «Self-adaptive broadband active sound control system.» Journal of Sound and Vibration 101.3 (1985): 429-441.
8. <http://www.ti.com/lstds/ti/processors/dsp/overview.page> (27.08.2015)
9. [http://www.xilinx.com/support/documentation/data\\_sheets/ds180\\_7Series\\_Overview.pdf](http://www.xilinx.com/support/documentation/data_sheets/ds180_7Series_Overview.pdf) (27.08.2015)
10. Hawkes, G.C. «DSP: Designing for Optimal Results. High-Performance DSP Using Virtex-4 FPGAs». (2005).
11. Mayer-Baese U. Digital Signal Processing with field programmable Gate Arrays. Springer, 2007.