

МНОГОПРОЦЕССОРНЫЕ КЛАСТЕРЫ НА ОСНОВЕ СИГНАЛЬНЫХ ПРОЦЕССОРОВ СО СТАТИЧЕСКОЙ СУПЕРСКАЛЯРНОЙ АРХИТЕКТУРОЙ*

Букварев Е.А., научный сотрудник кафедры информационных радиосистем Нижегородского государственного технического университета им. П. Е. Алексеева, e-mail: bukwarev@ Rambler.ru;

Кузин А.А., доцент кафедры информационных радиосистем Нижегородского государственного технического университета им. П. Е. Алексеева, e-mail: kuzin_alex@nntu.nnov.ru;

Приблудова Е.Н., кандидат технических наук, доцент кафедры информационных радиосистем Нижегородского государственного технического университета им. П.Е. Алексеева, e-mail: pribludova@nntu.nnov.ru;

Рындык А.Г., доктор технических наук, профессор, заведующий кафедрой информационных радиосистем Нижегородского государственного технического университета им. П. Е. Алексеева, e-mail: a_ryndyk@nntu.nnov.ru.

MULTIPROCESSOR CLUSTERS BASED ON SIGNAL PROCESSORS WITH STATIC SUPER-SCALAR ARCHITECTURE

Bukvarev E.A., Kuzin A.A., Pribludova E.N., Ryndyk A.G.

In this paper two structures of multiprocessor clusters on basis of signal processors with static super-scalar architecture are presented. Some design features are considered, configuration and appearance of the multiprocessor cluster are shown and characteristics of cluster are provided.

The developed multiprocessor clusters are intended for use into integrated module in stationary and mobile systems of high-performance digital signal processing.

Key words: digital processing, signal processor, multiprocessor clusters, integrated module.

Ключевые слова: цифровая обработка, сигнальный процессор, многопроцессорные кластеры, интегрированный модуль.

Введение

В общем случае, вычислительный кластер – это набор вычислительных узлов, объединенных некоторой коммуникационной сетью. Каждый вычислительный узел имеет свою оперативную память и работает под управлением своей операционной системы. Наиболее распространенным является использование однородных кластеров, где все узлы абсолютно одинаковы по своей архитектуре и производительности. Особенностью кластера является применение компонентов серийного выпуска.

Для задач цифровой обработки сигналов представляется перспективным использование в качестве узлов кластера специализированных высокопроизводительных процессоров (ВПЦОС). Как правило, DSP-процессоры имеют встроенную память, а коммуникации между процессорами внутри кластера обеспечиваются встроенными средствами процессоров.

Постановка задачи

Разработка мультипроцессорного кластера на основе DSP-процессоров является частной задачей проектирования интегрированного модуля ЦОС с возможностью

Представлены две структуры многопроцессорных кластеров на основе сигнальных процессоров со статической суперскалярной архитектурой отечественной разработки. Рассмотрены некоторые конструктивные особенности, показаны компоновка и внешний вид многопроцессорного кластера, приведены характеристики кластера.

масштабирования производительности.

Выбранный вариант компоновки интегрированного модуля (ИМ) в виде базовой (несущей платы) с устанавливаемыми на ней submodule (мезонинами) допускает установку от одного до пяти мультипроцессорных кластеров, что обеспечивает изменение производительности в широких пределах.

Submodule (СМ) должен представлять собой функционально и конструктивно законченный четырехпроцессорный кластер. Кроме того, СМ должен иметь специальное распределение сигналов высокоскоростных LINK-портов по разъемам с целью упрощения трассировки базовой платы.

Варианты структуры многопроцессорного кластера

Структуры мультипроцессорного кластера базируются на двух свойствах [1, 2] применяемого процессора: мультипроцессорном интерфейсе и скоростных LVDS портах обмена данными (в дальнейшем – LINK-портах). Четырехпроцессорный кластер спроектирован в соответствии с рекомендациями [2] и представляет собой мультипроцессорную систему с разделяемой общей шиной.

Первый вариант кластера показан на рис. 1 и состоит из:
– четырех процессоров ВПЦОС0 – ВПЦОС3;
– блока синхронной динамической памяти SDRAM с организацией 32М x 64;

* Работа выполнена при поддержке Министерства образования и науки РФ в рамках договора № 02.G25.31.0061 от «12» февраля 2013 года (в соответствии с Постановлением Правительства Российской Федерации от 9 апреля 2010 г. № 218).

- загрузочного постоянного запоминающего устройства FLASH объемом 16Мбайт;
- тактового генератора с частотой 100МГц;
- тактового буфера ТБ;
- термодатчиков;
- источника вторичного питания ИВП.

Процессоры, динамическая и постоянная память подключены к системной шине кластера с разрядностью данных 64 бита. Адресные пространства всех процессоров и внешней памяти образуют единое 32-разрядное адресное пространство [1, 2].

Тактовый сигнал частотой 100 МГц (системная частота SCLK), формируемый генератором, усиливается ТБ и распределяется по ВПЦОС и SDRAM.

Термодатчики процессоров образуют подсистему термомониторинга, доступную по интерфейсу SPI через внешний разъем 3.

Отладочный интерфейс JTAG (JTAG-цепочка) охватывает последовательно все процессоры кластера и через буферную схему подключается к внешнему разъему 3.

Источники ИВП формируют напряжение питания ядра (1,0 В) и внешних контактов (2,5 В) ВПЦОС.

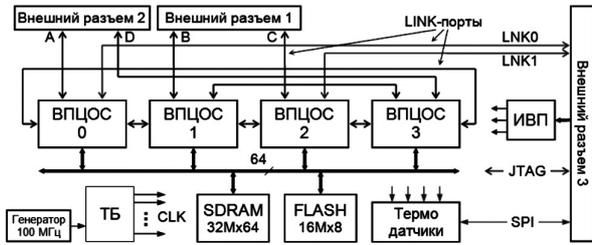


Рис. 1. Первый вариант структуры многопроцессорного кластера

Через системную шину организован мультипроцессорный интерфейс (МПИ), который имеет встроенный арбитраж и позволяет объединять на общей шине до четырех процессоров без дополнительных логических схем. Кроме того, через МПИ любой процессор имеет доступ к ресурсам других процессоров, включая внутреннюю память и системные регистры [2]. Специальный широковещательный (Broadcast) режим МПИ позволяет выполнять запись с системной шины во внутреннюю память одновременно во все ВПЦОС кластера.

Распределение адресного пространства мультипроцессорной памяти кластера детально приведено в [1, 2], в пространстве внешней памяти используется только зона адресов 0x40000000 – 0x44000000, соответствующая строке MSSD0, к которому подключена общая динамическая память.

Полнодуплексные LINK-порты обеспечивают межпроцессорные соединения типа точка-точка. Соединения между ВПЦОС

и соединения с внешними разъемами показаны в табл. 1.

Таблица 1. Соединения LINK-портов

Полнодуплексные соединения		Разрядность (бит)
ВПЦОС0 LINK0	Разъем 2 ("А")	4
ВПЦОС0 LINK1	ВПЦОС3 LINK2	4
ВПЦОС0 LINK2	Разъем 3 (LNK0)	1
ВПЦОС0 LINK3	ВПЦОС1 LINK0	4
ВПЦОС1 LINK1	Разъем 1 ("В")	4
ВПЦОС1 LINK2	ВПЦОС3 LINK1	4
ВПЦОС1 LINK3	ВПЦОС2 LINK0	4
ВПЦОС2 LINK1	Разъем 3 (LNK1)	1
ВПЦОС2 LINK2	Разъем 1 ("С")	4
ВПЦОС2 LINK3	ВПЦОС3 LINK0	4
ВПЦОС3 LINK3	Разъем 2 ("D")	4

Часть LINK-портов используется для соединения процессоров внутри кластера, что позволяет снизить интенсивность информационного обмена между процессорами по системной шине. По одному LINK-порту с каждого ВПЦОС идут выводы на внешние разъемы 1 и 2 (обозначены А, В, С и D). Данные порты позволяют организовать на базовой плате обмен с соседними кластерами. Режим работы перечисленных LINK-портов – четырехбитовый с тактовой частотой 400 МГц.

На внешний разъем 3 выведены два LINK-порта от ВПЦОС0 и ВПЦОС2 (обозначены LNK0 и LNK1), работающие в однобитовом режиме с тактовой частотой 100 МГц. Указанные порты подключаются к интерфейсной ПЛИС базовой платы, обеспечивая загрузку программ и обмен данными с целевым устройством.

Примененные в кластере ВПЦОС имеют двунаправленный четырехразрядный порт пользовательского ввода/вывода, обозначенный в [1] как FLAG3-0. В схеме кластера эти сигналы соединяются с входами запросов прерывания IRQ3-1, как показано в табл. 2.

Установка одного из сигналов FLAG3-0 приводит к прерыванию ВПЦОС, вход IRQ которого подключен к этому сигналу, что позволяет на аппаратном уровне синхронизировать выполнение программ на различных процессорах кластера. Так, например, аппаратная синхронизация используется встроенным тестом (BIST), выполняемым одновременно всеми процессорами кластера.

Используемые процессоры имеют четыре контакта (т.н. конфигурационный порт), которые определяют режим работы и поведение процессора после снятия сигнала сброса. Сигналы и их значения, установленные по умолчанию, перечислены в табл. 3. Как видно из табл. 3, после снятия сигнала сброса процессор ВПЦОС0 начинает загрузку программы из Flash-памяти, остальные – ожидают загрузку по LINK-порту.

Таблица 2. Связь сигналов IRQ и FLAG

Вход IRQ	Связан с выходом	Вход IRQ	Связан с выходом
ВПЦОС0 IRQ0	–	ВПЦОС2 IRQ0	–
ВПЦОС0 IRQ1	ВПЦОС3 FLAG1	ВПЦОС2 IRQ1	ВПЦОС0 FLAG2
ВПЦОС0 IRQ2	ВПЦОС1 FLAG1	ВПЦОС2 IRQ2	ВПЦОС1 FLAG2
ВПЦОС0 IRQ3	ВПЦОС2 FLAG1	ВПЦОС2 IRQ3	ВПЦОС3 FLAG3
ВПЦОС1 IRQ0	–	ВПЦОС3 IRQ0	–
ВПЦОС1 IRQ1	ВПЦОС0 FLAG1	ВПЦОС3 IRQ1	ВПЦОС0 FLAG3
ВПЦОС1 IRQ2	ВПЦОС3 FLAG2	ВПЦОС3 IRQ2	ВПЦОС1 FLAG3
ВПЦОС1 IRQ3	ВПЦОС2 FLAG2	ВПЦОС3 IRQ3	ВПЦОС2 FLAG3

Таблица 3. Конфигурация кластера по умолчанию

Сигнал	ВПЦОС				Инициализация
	0	1	2	3	
BMS	0	1	1	1	0 – загрузка из Flash, 1 – по LINK
BM	0	0	0	0	0 – прерывания IRQ запрещены (1 – разрешены)
TMR0E	1	1	1	1	1 – данные LINK-порта 4 бита (0 – LINK 1 бит)
BUSLOCK	1	1	1	1	1 – запись в SYSCON разрешена всегда (0 – однократная запись)

Далее программа, загруженная в ВПЦОС0, копируется по LINK-порту в ВПЦОС1, затем в ВПЦОС2 и ВПЦОС3. Запуск программы на ВПЦОС3 является окончанием инициализации кластера.

Возможна начальная инициализация ВПЦОС из Flash-памяти, для чего сигнал BMS устанавливается низким уровнем для всех процессоров субмодуля. Операции начальной загрузки полностью соответствуют приведенным в [3].

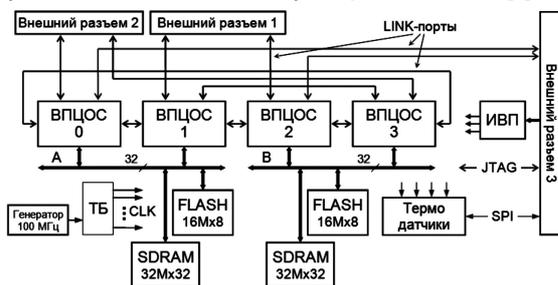


Рис. 2. Второй вариант структуры многопроцессорного кластера

При расчетах на начальных этапах проектирования было выявлено незначительное (от 2 до 3пФ) превышение номинальной емкостной нагрузки некоторых цепей системной шины: адреса A23-A1 и данных D7-D0. Это не только несколько увеличивает динамическую потребляемую мощность, но и изменяет временные характеристики сигналов, что может быть источником потенциальных сбоев в работе кластера, особенно на границах рабочего диапазона температур.

Исходя из вышесказанного, был разработан другой вариант субмодуля, структура которого показана на рис. 2. Общая системная шина разделена на две – А и В, попарно соединяющие ВПЦОС, в результате чего получилось два двухпроцессорных кластера. Разрядность данных уменьшена с 64 до 32, чтобы не увеличивать количество микросхем SDRAM и сохранить геометрические размеры субмодуля. К шине В подключена дополнительная Flash-память начальной загрузки. Анализ временных соотношений для сигналов системной шины в разработанных субмодулях, выполненный по методике [4], под-

Характеристики кластера (вариант 1)

Количество высокопроизводительных процессоров ЦОС	4
Тактовая частота ядра CCLK, МГц	400
Тактовая частота системной шины SCLK, МГц	100
Разрядность системной шины, бит	64
Пиковая пропускная способность системной шины, Мбайт	800
Объем динамической памяти (организация), Мбайт	256 (32M×64)
Тактовая частота Link- портов LCLK, МГц	400
Разрядность Link- портов, бит	4
Пиковая пропускная способность каждого Link- порта, МБайт/с	400
Внешнее питание	5В/1,9А; 3,3В/1А
Диапазон рабочих температур, °С	– 40 ... +65
Размеры, мм	80×150×7,7

твердил работоспособность представленных вариантов.

Конструкция и характеристики кластера

Вычислительные кластеры (субмодули) выполнены на 16-слойной печатной плате размерами 80×150мм с двусторонней установкой элементов. Расположение основных компонентов на плате варианта 1 показано на рис. 3, слева – верхняя сторона, справа – нижняя.

Для подключения субмодуля к базовой плате применены малогабаритные разъемы ST4/SS4 фирмы Samtec с высотой стыковки 4,5 мм и шагом между контактами 0,4 мм. Характеристики разъемов позволяют организовать межмодульную связь по LINK-портам с частотой до 400 МГц.

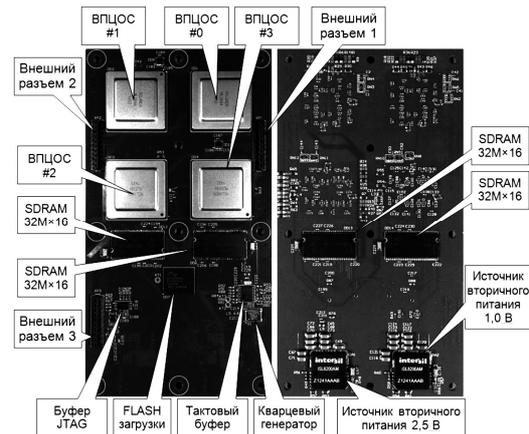


Рис. 3. Расположение компонентов на плате субмодуля

Заключение

Разработанные субмодули успешно прошли исследовательские испытания в составе 20-процессорного интегрированного модуля (5 кластеров), подтвердив все основные технические характеристики.

Четырехпроцессорные вычислительные кластеры, являющиеся основным функциональным узлом интегрированного модуля, могут быть использованы автономно – конструкция субмодулей допускает их непосредственное встраивание в аппаратуру потребителя.

Литература

1. Сигнальный процессор со статической суперскалярной архитектурой 1967ВЦ2Ф, К1967ВЦ2Ф, К1967ВЦ2ФК. Спецификация. URL: http://milandr.ru/uploads/Products/product_294/spec_1967VC2.pdf.
2. Мякочин Ю.О. 32-разрядный суперскалярный DSP-процессор с плавающей точкой // Компоненты и технологии. 2013. №7.
3. ADSP-TS20x TigerSHARC® Processor Boot Loader Kernels Operation (EE-200). Revision 1.0, March 2004. Ana-log Devices, Inc.
4. Кузин А.А., Плужников А.Д., Приблудова Е.Н., Сидоров С.Б. Анализ временных соотношений для сигналов в проектируемых цифровых модулях и оценка работоспособности. «Цифровая обработка сигналов» №2 2014г. – с. 70-77.