

АНАЛИЗ ВРЕМЕННЫХ СООТНОШЕНИЙ ДЛЯ СИГНАЛОВ В ПРОЕКТИРУЕМЫХ ЦИФРОВЫХ МОДУЛЯХ И ОЦЕНКА РАБОТОСПОСОБНОСТИ³

Кузин А.А., доцент кафедры информационных радиосистем Нижегородского государственного технического университета им. Р.Е. Алексеева, e-mail: kuzin_alex@nntu.nnov.ru;

Плужников А.Д., д.т.н., профессор кафедры информационных радиосистем Нижегородского государственного технического университета им. Р.Е. Алексеева, e-mail: pluzhnikov@nntu.nnov.ru;

Приблудова Е.Н., к.т.н., доцент кафедры информационных радиосистем Нижегородского государственного технического университета им. Р.Е. Алексеева, e-mail: pribludova@nntu.nnov.ru;

Сидоров С.Б., к.т.н., доцент кафедры информационных радиосистем Нижегородского государственного технического университета им. Р.Е. Алексеева, e-mail: sidorov@nntu.nnov.ru

Ключевые слова: мультипроцессорные системы, взаимные задержки, быстродействие, трассировка, синхронный обмен.

Введение

В процессе проектирования современных микропроцессорных систем обычно требуется реализовать одновременное выполнение высоких требований к быстродействию, надежности функционирования и габаритным показателям системы в модульном исполнении. Указанные требования зачастую являются противоречивыми. В частности, уменьшение габаритов аппаратных средств (модуля) усложняет трассировку системной магистрали: оказывается невозможным параллельное размещение всех ее линий на многослойной печатной плате с реальной топологией. В результате не совпадают задержки сигналов, распространяющихся по различным линиям от одного компонента системы к другому. Причем отсутствие такого совпадения проявляется тем более существенно (в смысле понижения надежности из-за случайных сбоев), чем выше требования к быстродействию, приводящие к повышению частоты синхронизации системы. Кроме того, в многопроцессорных системах смена ведущего компонента ведет к такому изменению задержек сигналов, распространяющихся от этого компонента к ведомым компонентам и в обратном направлении, которое тоже весьма существенно при высоком быстродействии.

Постановка задачи

По указанным выше причинам возникает необходимость детального анализа проектируемых систем, в частности, детального анализа временных соотношений (взаимных задержек) для распространяющихся в них сигналов.

Разработана методика учета особенностей трассировки при анализе временных соотношений для сигналов, распространяющихся в быстродействующих цифровых модулях при синхронном обмене данными. Предложено матричное описание трассировки системной магистрали и системной синхронизации. Рассмотрен пример применения разработанной методики для анализа мультипроцессорного кластера, проектируемого с целью его использования для высокопроизводительной обработки больших объемов информации.

Подобный анализ проводится, например, в [1]. Причем анализ, проводимый в [1], осуществляется для случая синхронного (с привязкой к системной синхронизации) обмена данными по системным шинам. Это объясняется тем, что синхронный обмен позволяет достичь наиболее высокого быстродействия системы.

Однако анализ, проводимый в [1], не учитывает влияние упомянутых выше особенностей трассировки системной магистрали на многослойной печатной плате. Не учитывает он и реализацию трассировки линий системной синхронизации.

Нашей задачей является проработка методики учета особенностей трассировки при анализе временных соотношений для сигналов, распространяющихся в быстродействующих цифровых модулях при синхронном обмене данными.

Указанный анализ временных соотношений, проводимый для сопоставляемых вариантов проекта, позволит избежать грубых ошибок в процессе проектирования.

Конкретизация объекта анализа как подход к решению поставленной задачи

В данной работе методика оценки взаимных задержек, возникающих при распространении сигналов в проектируемых цифровых модулях, а также работоспособности этих модулей рассматривается на конкретном примере. Причем в качестве примера выбран так называемый мультипроцессорный кластер, проектируемый с целью его использования для высокопроизводительной обработки больших объемов информации в системах, построенных как совокупность нескольких подобных кластеров.

При рассмотрении выбранного примера имеется в виду такой вариант, когда кластер содержит четыре вы-

³ Работа выполнена при поддержке Министерства образования и науки РФ в рамках договора № 02.G25.31.0061 от «12» февраля 2013 года (в соответствии с Постановлением Правительства Российской Федерации от 9 апреля 2010 г. № 218).

сокопроизводительных процессора цифровой обработки сигналов – ВПЦОС (DSP 1, DSP 2, DSP 3, DSP 4), четыре микросхемы синхронной динамической памяти (SDRAM 1, SDRAM 2, SDRAM 3, SDRAM 4) и микросхему флэш-памяти (FLASH). Перечисленные компоненты кластера связаны между собой системной магистралью, которая содержит три двусторонних (мультиплексированных) системных шины: шину адреса и управления (ШАУ), шину обмена старшими разрядами (от 63-го до 32-го) данных (ШДС) и шину обмена младшими разрядами (от 31-го до 0-го) данных (ШДМ). Причем четыре ВПЦОС (DSP 1, DSP 2, DSP 3, DSP 4) подключены ко всем трем системным шинам, а каждый из остальных пяти компонентов подключен только к двум из трех системных шин. А именно, все пять компонентов подключены к ШАУ, компоненты SDRAM 1 и SDRAM 2 подключены к ШДС и не подключены к ШДМ, а компоненты SDRAM 3, SDRAM 4 и FLASH подключены к ШДМ и не подключены к ШДС.

Поскольку решаемая задача поставлена так, что должен анализироваться синхронный обмен данными, в котором FLASH не участвует, то в дальнейшем этот компонент не упоминается. Для реализации синхронного обмена служит буфер CLK BUF, содержащийся в кластере и связанный с компонентами DSP 1, DSP 2, DSP 3, DSP 4, SDRAM 1, SDRAM 2, SDRAM 3 и SDRAM 4 линиями односторонней передачи синхроимпульсов от CLK BUF к перечисленным восьми компонентам.

Особенностью рассматриваемого мультипроцессорного кластера является возможность межпроцессорного обмена данными, когда любой из четырех процессоров (ведущий, Master) имеет доступ к внутренней памяти и регистрам другого (ведомого, Slave) или всех остальных (в режиме широковещательного обмена, Broadcast). Реальное проектирование кластера ориентировано на использование (в качестве ВПЦОС) процессоров Tiger SHARC и их отечественных аналогов, разрабатываемых в настоящее время.

Матричное описание трассировки

Согласно поставленной задаче необходимо провести анализ временных соотношений в рассматриваемой системе с учетом особенностей трассировки системной магистрали и линий системной синхронизации. Для этого требуется такая форма структурного описания взаимосвязей компонентов DSP 1, DSP 2, DSP 3, DSP 4, SDRAM 1, SDRAM 2, SDRAM 3, SDRAM 4 и CLK BUF, которая отражала бы не только существование аппаратных связей, но и возникающие в них задержки сигналов. Это задержки в реальных линиях связи – в участках линий системной магистрали и в линиях системной синхронизации на печатной плате.

Можно предложить матричное описание трассировки. А именно, восьми компонентам DSP 1, DSP 2, DSP 3, DSP 4, SDRAM 1, SDRAM 2, SDRAM 3 и SDRAM 4 поставим в соответствие номера 1, 2, 7, 8, 3, 4, 5 и 6. Такая нумерация оказывается удобной в связи с тем, что трассировка проектируемого кластера предполагает именно этот порядок последовательного подключения компонентов к системной магистрали.

Особенности трассировки таковы, что системную магистраль можно представить себе формально замкнутой в кольцо. Формальность такого представления определяется тем, что ни одна из упоминавшихся трех шин магистрали физически не замыкается в кольцо, т.е. каждая из этих шин разомкнута, можно сказать, является разомкнутым кольцом. Однако взаимное смещение трех подобных разомкнутых колец (трех шин), точнее говоря, взаимное смещение участков их размыкания при достаточно близком размещении печатных проводников (линий) трех шин на многослойной плате позволяет говорить о системной магистрали, конструктивно замкнутой (формально, а не физически) в кольцо.

Блочной матрицей \mathbf{T} размера 8×8 (блоков) опишем взаимосвязи между названными восемью компонентами, реализуемые печатными проводниками – участками линий системной магистрали:

$$\mathbf{T} = \begin{pmatrix} \mathbf{T}_{11} & \mathbf{T}_{12} & \cdots & \mathbf{T}_{18} \\ \mathbf{T}_{21} & \mathbf{T}_{22} & \cdots & \mathbf{T}_{28} \\ \vdots & \vdots & \ddots & \vdots \\ \mathbf{T}_{81} & \mathbf{T}_{82} & \cdots & \mathbf{T}_{88} \end{pmatrix},$$

где каждый блок размером 1×3

$$\mathbf{T}_{mn} = \|\tau_{Amn} \quad \tau_{Hmn} \quad \tau_{Lmn}\|;$$

где τ_{Amn} – задержка распространения сигналов по тому участку ШАУ, которым связаны m -й и n -й компоненты кластера; τ_{Hmn} – задержка распространения сигналов по тому участку ШДС, которым связаны m -й и n -й компоненты кластера; τ_{Lmn} – задержка распространения сигналов по тому участку ШДМ, которым связаны m -й и n -й компоненты кластера;

$$m = 1, 2, \dots, 8;$$

$$n = 1, 2, \dots, 8.$$

Кроме того, опишем матрицей \mathbf{T}_C размера 1×8 связи указанными выше восемью компонентами, реализуемые соответствующими печатными проводниками:

$$\mathbf{T}_C = \|\tau_{c1} \quad \tau_{c2} \quad \cdots \quad \tau_{c8}\|,$$

где τ_{cm} – задержка распространения сигналов по печатному проводнику, связывающему буфер CLK BUF с m -м компонентом кластера.

Сделаем некоторые замечания относительно матрицы \mathbf{T} , ее блоков \mathbf{T}_{mn} и элементов, образующих эти блоки.

Согласно смыслу определения матрицы \mathbf{T} ее диагональные блоки \mathbf{T}_{mn} должны быть образованы нулевыми элементами, т.е.

$$\mathbf{T}_{mn} = \|0 \quad 0 \quad 0\| \text{ при } n=m,$$

а для недиагональных блоков ($n \neq m$) с учетом двусторонности системных шин можно записать

$$\mathbf{T}_{mn} = \mathbf{T}_{nm}.$$

Если какая-либо связь между компонентами кластера



отсутствует, то ее можно трактовать как связь с бесконечным значением (∞) задержки. Тогда особенности выбранного при проектировании варианта трассировки, которые соответствуют упомянутому выше порядку последовательного подключения компонентов к системной магистрали и ее формально-конструктивному замыканию в кольцо, описываются следующим образом:

$$T_{mn} \neq \|\infty \ \infty \ \infty\| \text{ и } T_{mn} \neq \|0 \ 0 \ 0\|$$

при условии

$$n = \text{mod}_8(m+1) \text{ или } m = \text{mod}_8(n+1),$$

где $\text{mod}_8(\dots)$ – обозначение операции определения целого числа по модулю 8.

Ранее отмечалось, что SDRAM 1 и SDRAM 2 (компоненты с номерами 3 и 4) не подключены к ШДМ, а SDRAM 3 и SDRAM 4 (компоненты с номерами 5 и 6) не подключены к ШДС. Это можно описать соотношением

$$\tau_{H5n} = \tau_{Hm5} = \tau_{H6n} = \tau_{Hm6} = \tau_{L3n} = \tau_{Lm3} = \tau_{L4n} = \tau_{Lm4} = \infty,$$

которое отражает упоминавшееся размыкание шин ШДМ и ШДС на конструктивно смещенных (вдоль системной магистрали, формально замкнутой в кольцо) участках.

Кроме того, проектируемый кластер имеет дополнительные участки размыкания отдельных шин системной магистрали, что описывается соотношениями:

$$T_{45} = T_{54} = \|\tau_{A45} \ \infty \ \infty\| = \|\tau_{A54} \ \infty \ \infty\|,$$

$$T_{18} = T_{81} = \|\infty \ \tau_{H18} \ \tau_{L18}\| = \|\infty \ \tau_{H81} \ \tau_{L81}\|.$$

Временные соотношения для проектируемого кластера

Обмен данными по системной магистрали проектируемого кластера выполняется по схеме ведущий-ведомый (Master-Slave) или Ms-Sl, как показано на рис. 1. При этом в каждом определенном цикле обмена ведущим является один из четырех ВПЦОС, а ведомым – один из оставшихся семи компонентов кластера, перечислявшихся выше. На рис. 1 τ_A, τ_H или τ_L – задержка (время) распространения сигналов между Ms и Sl по шине ШАУ, ШДС или ШДМ соответственно; $\tau_{CM} = \tau_{Cm}$ при $m = M$; $\tau_{CS} = \tau_{Cs}$ при $m = S$; M – номер того из восьми перечислявшихся выше компонентов кластера, который в данном цикле обмена является ведущим; S – номер того из компонентов, который в данном цикле обмена выполняет функцию ведомого. Очевидно, что τ_A, τ_H или τ_L (каждая из этих трех величин) определяется трассировкой печатной платы и представляет собой сумму из нескольких (от одного до семи) слагаемых типа τ_{Ann}, τ_{Hmn} или τ_{Lmn} , соответствующих тем последовательно соединенным участкам шины ШАУ, ШДМ или ШДС, которые образуют связь между компонентами Ms и Sl по данной шине.

Для оценки работоспособности проектируемого кластера необходимо провести анализ временных соотношений в рассматриваемой системе с учетом выбранной

трассировки системной магистрали и линий системной синхронизации, анализируя при этом циклы ЗАПИСЬ и ЧТЕНИЕ для всех возможных пар ведущий-ведомый (Ms-Sl).

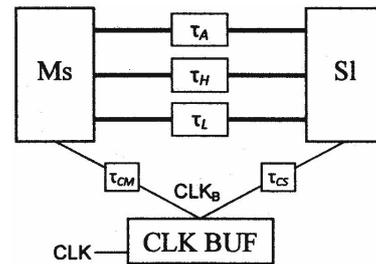


Рис. 1. Схема обмена данными

В цикле ЗАПИСЬ источником всех сигналов системной магистрали (адресов, сигналов управления, данных) является компонент Ms. Временные диаграммы для цикла ЗАПИСЬ показаны на рис. 2.

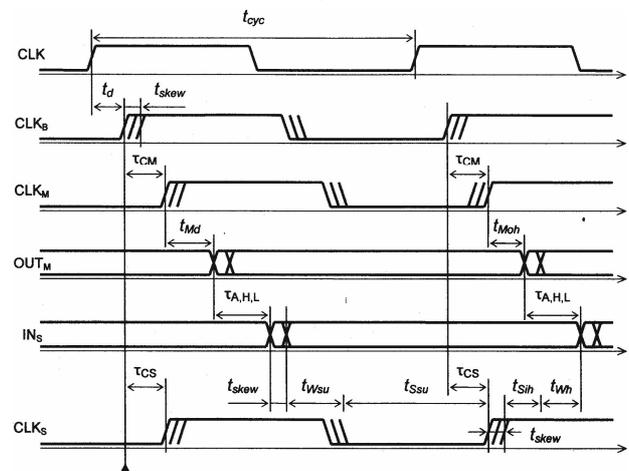
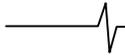


Рис. 2. Временные диаграммы для цикла ЗАПИСЬ

На временных диаграммах (рис. 2) обозначено: CLK – импульсы синхронизации (опорная частота); CLK_B – сигналы на выходе буфера CLK BUF; CLK_M – тактовый сигнал на входе компонента Ms; OUT_M – выходные сигналы адреса, управления, данных компонента Ms; IN_S – входные сигналы адреса, управления, данных компонента Sl; CLK_S – тактовый сигнал на входе компонента Sl; t_{cyc} – период тактовой частоты системной магистрали; t_d – задержка, вносимая буфером CLK BUF; t_{skew} – перекосяк сигналов [2] синхронизации на выходе буфера CLK BUF (output skew); τ_{CS} – задержка тактового сигнала для компонента Sl на печатной плате; τ_{CM} – задержка тактового сигнала для компонента Ms на печатной плате; t_{Md} – задержка выдачи сигналов компонента Ms относительно фронта тактового сигнала; t_{Moh} – время удержания выходных сигналов компонента Ms относительно фронта тактового сигнала; t_{Ssu} – время предустановки входных сигналов компонента Sl относительно фронта тактового сигнала; t_{Sih} – время удержания входных сигналов компонента Sl относительно фронта тактового сигнала;



t_{Wsu} – запас по времени предустановки (должен быть неотрицательным) для цикла ЗАПИСЬ;
 t_{Wh} – запас по времени удержания (должен быть отрицательным) для цикла ЗАПИСЬ;
 $\tau_{A,H,L}$ – обозначение совокупности трех параметров τ_A, τ_H и τ_L (для их пояснения потребовались бы три временные диаграммы).

Опорной временной точкой для расчетов будем считать самый ранний фронт сигнала CLKВ (показан на рис. 2 треугольником). Задержка t_d , вносимая буфером CLK BUF, является постоянной для всех сигналов и поэтому не учитывается в последующих расчетах. Различия временного положения тактовых сигналов на выходе буфера описываются временем перекося t_{skew} .

Согласно временным диаграммам (рис. 2), можно записать

$$\tau_{CM} + t_{Md} + \tau_{A,H,L} + t_{skew} + t_{Wsu} + t_{Ssu} = t_{cyc} + \tau_{CS},$$

откуда найдем запас по времени предустановки

$$t_{Wsu} = t_{cyc \min} + \tau_{CS \min} - \tau_{CM \max} - t_{Md \max} - \tau_{MAX1} - t_{skew \max} - t_{Ssu \min} \quad (1)$$

где $(\dots)_{\min}$ или $(\dots)_{\max}$ – обозначение соответственно минимального или максимального значения величины,

$$\tau_{MAX1} = \max \{ \tau_A, \tau_H, \tau_L \}.$$

В формуле (1) выделим часть, зависящую только от временных параметров компонентов,

$$t_{W1} = t_{cyc \min} - t_{Md \max} - t_{skew \max} - t_{Ssu \min} \quad (2)$$

после чего получим

$$t_{Wsu} = t_{W1} + \tau_{CS \min} - \tau_{CM \max} - \tau_{MAX1} \quad (3)$$

Кроме того, согласно рис. 2, можно записать

$$\tau_{CS} + t_{skew} + t_{Sih} + t_{Wh} = \tau_{CM} + t_{Moh} + \tau_{A,H,L}$$

откуда выразим запас по времени удержания

$$t_{Wh} = \tau_{CM \min} + t_{Moh \min} + \tau_{MIN1} - \tau_{CS \max} - t_{skew \max} - t_{Sih \min} \quad (4)$$

где $\tau_{MIN1} = \min \{ \tau_A, \tau_H, \tau_L \}$

В формуле (4) выделим часть, зависящую только от временных параметров компонентов,

$$t_{W2} = t_{Moh \min} - t_{skew \max} - t_{Sih \min} \quad (5)$$

после чего получим

$$t_{Wh} = t_{W2} + \tau_{CM \min} + \tau_{MIN1} - \tau_{CS \max}$$

В цикле ЧТЕНИЕ источником сигналов адреса и управления системной шины является компонент Ms, а источником данных – компонента SI. Временные соотношения по шинам адреса и управления полностью идентичны циклу ЗАПИСЬ. Поэтому для цикла ЧТЕНИЕ имеет смысл рассматривать только шину данных. Соответствующие временные диаграммы показаны на рис. 3.

На временных диаграммах (рис. 3) использованы следующие новые обозначения:

OUT_S – выходные сигналы данных компонента SI;

IN_M – входные данные компонента Ms;

t_{Sacc} – задержка выдачи данных компонентом SI относительно фронта тактового сигнала (время доступа);

t_{Soh} – время удержания данных для компонента SI от-

носительно фронта тактового сигнала;

t_{Msu} – время предустановки входных сигналов для компонента Ms относительно фронта тактового сигнала;

t_{Mih} – время удержания входных сигналов для компонента Ms относительно фронта тактового сигнала;

t_{Rsu} – запас по времени предустановки для цикла ЧТЕНИЕ;

t_{Rh} – запас по времени удержания для цикла ЧТЕНИЕ;

$\tau_{H,L}$ обозначение совокупности двух параметров τ_H и τ_L (для их пояснения потребовались бы две временные диаграммы).

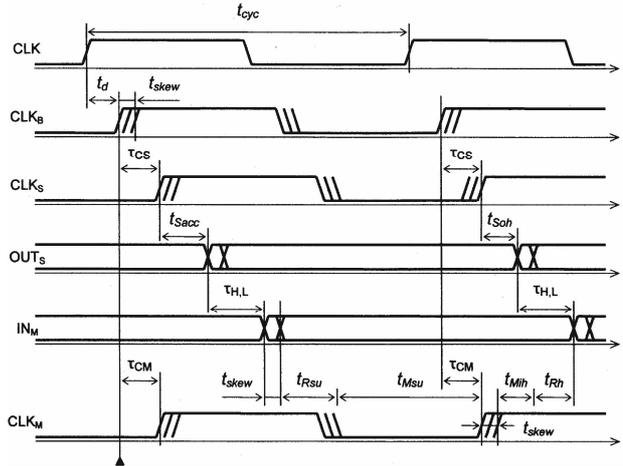


Рис. 3. Временные диаграммы для цикла ЧТЕНИЕ

Согласно временным диаграммам (рис. 3), можно записать

$$\tau_{CS} + t_{Sacc} + \tau_{H,L} + t_{skew} + t_{Rsu} + t_{Msu} = t_{cyc} + \tau_{CM},$$

откуда найдем запас по времени предустановки

$$t_{Rsu} = t_{cyc \min} + \tau_{CM \min} - \tau_{CS \max} - t_{Sacc \max} - \tau_{MAX2} - t_{skew \max} - t_{Msu \min} \quad (7)$$

где $\tau_{MAX2} = \max \{ \tau_H, \tau_L \}$

В формуле (7) выделим часть, зависящую только от временных параметров компонентов,

$$t_{R1} = t_{cyc \min} - t_{Sacc \max} - t_{skew \max} - t_{Msu \min} \quad (8)$$

после чего получим

$$t_{Rsu} = t_{R1} + \tau_{CM \min} - \tau_{CS \max} - \tau_{MAX2} \quad (9)$$

Кроме того, согласно рис. 3, можно записать

$$\tau_{CM} + t_{skew} + t_{Mih} + t_{Rh} = \tau_{CS} + t_{Soh} + \tau_{H,L}$$

откуда выразим запас по времени удержания

$$t_{Rh} = \tau_{CS \min} + t_{Soh \min} + \tau_{MIN2} - \tau_{CM \max} - t_{skew \max} - t_{Mih \min} \quad (10)$$

где $\tau_{MIN2} = \min \{ \tau_H, \tau_L \}$

В формуле (10) выделим часть, зависящую только от временных параметров компонентов,

$$t_{R2} = t_{Soh \min} - t_{skew \max} - t_{Mih \min} \quad (11)$$

и получим

$$t_{Rh} = t_{R2} + \tau_{CS \min} + \tau_{MIN2} - \tau_{CM \max} \quad (12)$$

Неотрицательные значения запасов по времени, вы-

численные согласно формулам (3), (6), (9) и (12), являющиеся условиями работоспособности проектируемого кластера. Такие вычисления должны проводиться при определении задержек τ_A , τ_H или τ_L в соответствии с трассировкой печатной платы (см. выше).

Количественные результаты анализа

Для анализа временных соотношений проектируемого кластера на основе ВПЦОС использовались таблицы Microsoft Excel. Этот анализ проведен для той трассировки системной магистрали, для которой выше было дано матричное описание.

Таблица 1. Системные характеристики (пс)

t_{cyc}	период системной тактовой частоты (min)		
t_{skew}	перекос сигналов синхронизации на выходе буфера (max)		
	t_{cyc}	t_{skew}	
	9500	50	

Таблица 2. Характеристики компонентов (пс)

t_{isu}	время предустановки входных сигналов (min)			
t_{ih}	время удержания входных сигналов (min)			
$t_{acc} (t_d)$	время доступа или максимальная задержка формирования выходных сигналов (max)			
t_{oh}	время удержания выходных сигналов (min)			
SDRAM				
t_{isu}	t_{ih}	t_{acc}	t_{oh}	
1500	800	5400	1800	
DSP				
t_{isu}	t_{ih}	t_d	t_{oh}	
1500	500	4000	1000	

Табл. 1, 2 и 3 задают характеристики системной магистрали, характеристики компонентов, подключенных к магистрали, и задержки тактовых сигналов от выхода буфера CLK BUF до компонента – приемника сигнала синхронизации.

Табл. 4 содержит не зависящие от трассировки временные характеристики, вычисленные по формулам (2), (5), (8) и (11), для каждой пары Ms-SI.

Расчеты, соответствующие табл. 4 (идеализированные временные соотношения), целесообразно выполнять на ранних этапах проектирования системы при выборе компонентов SDRAM 1...4.

В табл. 5 заносятся задержки распространения сигналов по печатной плате с учетом длины проводников, емкости цепей и т.п. Задержки вычисляются (или определяются посредством САПР) для каждой пары Ms-SI с учетом трассировки конкретных цепей.

В табл. 6 приведены результаты отбора максимальных и минимальных значений в соответствии с правилами, приведенными при пояснении формул (1), (4), (7) и (11).

В табл. 7 содержатся результаты расчета по формулам (3), (6), (9) и (12) с использованием данных табл. 3, 4 и 6. Расчет выполнен для частоты тактирования системной магистрали 100 МГц (номинальный период 10 000 пс) при допустимой нестабильности периода (джиттере) в 500 пс. Таким образом, параметр t_{cyc} для расчетов принимался равным 9500 пс.

Обратим внимание на то, что расчет не зависящих от трассировки временных характеристик (см. табл. 4) для частоты 125 МГц не дает отрицательных значений. Это обстоятельство показывает, что трассировка системной магистрали является потенциальным источником неработоспособности системы в целом.

Таблица 3. Задержки тактовых сигналов (пс)

		DSP 1	DSP 2	SDRAM 1	SDRAM 2	SDRAM 3	SDRAM 4	DSP 3	DSP 4
τ_{CM}, τ_{CS}	min	110	111	102	103	104	105	116	117
	max	121	122	113	114	115	116	127	128

Таблица 4. Результаты расчета временных характеристик, не зависящих от трассировки (пс)

Компонент Ms	Компонент SI								
		DSP 1	DSP 2	SDRAM 1	SDRAM 2	SDRAM 3	SDRAM 4	DSP 3	DSP 4
DSP 1	t_{W1}		3950	3950	3950	3950	3950	3950	3950
	t_{W2}		450	150	150	150	150	450	450
	t_{R1}		3950	2550	2550	2550	2550	3950	3950
	t_{R2}		450	1250	1250	1250	1250	450	450
DSP 2	t_{W1}	3950		3950	3950	3950	3950	3950	3950
	t_{W2}	450		150	150	150	150	450	450
	t_{R1}	3950		2550	2550	2550	2550	3950	3950
	t_{R2}	450		1250	1250	1250	1250	450	450
DSP 3	t_{W1}	3950	3950	3950	3950	3950	3950		3950
	t_{W2}	450	450	150	150	150	150		450
	t_{R1}	3950	3950	2550	2550	2550	2550		3950
	t_{R2}	450	450	1250	1250	1250	1250		450

DSP 4	t_{W1}	3950	3950	3950	3950	3950	3950	3950	
	t_{W2}	450	450	150	150	150	150	450	
	t_{R1}	3950	3950	2550	2550	2550	2550	3950	
	t_{R2}	450	450	1250	1250	1250	1250	450	

Таблица 5. Задержки печатной платы (нс)

Компонент Ms	Компонент SI									
		DSP 1	DSP 2	SDRAM 1	SDRAM 2	SDRAM 3	SDRAM 4	DSP 3	DSP 4	
DSP 1	$\tau_{A \min}$		137	274	411	685	822	959	1096	
	$\tau_{A \max}$		225	450	675	1125	1350	1575	1800	
	$\tau_{H \min}$		151	351	451			551	451	
	$\tau_{H \max}$		161	361	461			561	461	
	$\tau_{L \min}$		152				852	752	552	452
	$\tau_{L \max}$		162				862	762	562	462
DSP 2	$\tau_{A \min}$	137		137	274	548	685	822	959	
	$\tau_{A \max}$	225		225	450	900	1125	1350	1575	
	$\tau_{H \min}$	151		251	351			651	551	
	$\tau_{H \max}$	161		261	361			661	561	
	$\tau_{L \min}$	152					952	852	652	552
	$\tau_{L \max}$	162					962	862	662	562
DSP 3	$\tau_{A \min}$	959	822	685	548	274	137		137	
	$\tau_{A \max}$	1575	1350	1125	900	450	225		225	
	$\tau_{H \min}$	551	651	851	951				151	
	$\tau_{H \max}$	561	661	861	961				161	
	$\tau_{L \min}$	552	652				352		252	152
	$\tau_{L \max}$	562	662				362		262	162
DSP 4	$\tau_{A \min}$	1800	959	822	685	411	274	137		
	$\tau_{A \max}$	1096	1575	1350	1125	675	450	225		
	$\tau_{H \min}$	151	551	751	851			151		
	$\tau_{H \max}$	161	561	761	861			161		
	$\tau_{L \min}$	152	552				452	352		152
	$\tau_{L \max}$	162	562				462	362		162

Таблица 6. Минимальные и максимальные задержки печатной платы (нс)

Компонент Ms	Компонент SI								
		DSP 1	DSP 2	SDRAM 1	SDRAM 2	SDRAM 3	SDRAM 4	DSP 3	DSP 4
DSP 1	τ_{MIN1}		137	274	411	685	752	551	451
	τ_{MAX1}		225	450	675	1125	1350	1575	1800
	τ_{MIN2}		151	351	451	852	752	551	451
	τ_{MAX2}		162	361	461	862	762	562	462
DSP 2	τ_{MIN1}	137		137	274	548	685	651	551
	τ_{MAX1}	225		261	450	962	1125	1350	1575
	τ_{MIN2}	151		251	351	952	852	651	551
	τ_{MAX2}	162		261	361	962	862	662	562

DSP 3	τ_{MIN1}	551	651	685	548	274	137		137
	τ_{MAX1}	1575	1350	1125	961	450	262		225
	τ_{MIN2}	551	651	851	951	352	252		151
	τ_{MAX2}	562	662	861	961	362	262		162
DSP 4	τ_{MIN1}	151	551	751	685	411	274	137	
	τ_{MAX1}	1800	1575	1350	1125	675	450	225	
	τ_{MIN2}	151	551	751	851	452	352	151	
	τ_{MAX2}	162	562	761	861	462	362	162	

Таблица 7. Результаты расчета временных характеристик с учетом трассировки (пс)

Компонент Ms	Компонент SI								
		DSP 1	DSP 2	SDRAM 1	SDRAM 2	SDRAM 3	SDRAM 4	DSP 3	DSP 4
DSP 1	t_{Wsu}		3715	3481	3257	2808	2584	2370	2146
	t_{Wh}		575	421	557	830	896	984	883
	t_{Rsu}		3776	2186	2085	1683	1782	3371	3470
	t_{Rh}		591	1582	1683	2085	1986	996	897
DSP 2	t_{Wsu}	3713		3669	3481	2970	2808	2594	2370
	t_{Wh}	577		285	421	694	830	1085	984
	t_{Rsu}	3778		2287	2186	1584	1683	3272	3371
	t_{Rh}	589		1481	1582	2184	2085	1095	996
DSP 3	t_{Wsu}	2358	2584	2800	2965	3477	3666		3715
	t_{Wh}	996	1095	838	700	425	287		575
	t_{Rsu}	3383	3282	1692	1591	2189	2288		3776
	t_{Rh}	984	1085	2076	2177	1579	1480		591
DSP 4	t_{Wsu}	2132	2358	2574	2800	3251	3477	3713	
	t_{Wh}	597	996	905	838	563	425	577	
	t_{Rsu}	3784	3383	1793	1692	2090	2189	3778	
	t_{Rh}	583	984	1975	2076	1678	1579	589	

Таблица 8. Расчет временных характеристик с учетом трассировки (пс)

Компонент Ms	Компонент SI								
		DSP 1	DSP 2	SDRAM 1	SDRAM 2	SDRAM 3	SDRAM 4	DSP 3	DSP 4
DSP 1	t_{Wsu}		1715	1481	1257	808	584	370	146
	t_{Wh}		575	421	557	830	896	984	883
	t_{Rsu}		1776	186	85	-317	-218	1371	1470
	t_{Rh}		591	1582	1683	2085	1986	996	897
DSP 2	t_{Wsu}	1713		1669	1481	970	808	594	370
	t_{Wh}	577		285	421	694	830	1085	984
	t_{Rsu}	1778		287	186	-416	-317	1272	1371
	t_{Rh}	589		1481	1582	2184	2085	1095	996
DSP 3	t_{Wsu}	358	584	800	965	1477	1666		1715
	t_{Wh}	996	1095	838	700	425	287		575
	t_{Rsu}	1383	1282	-308	-409	189	288		1776
	t_{Rh}	984	1085	2076	2177	1579	1480		591

DSP 4	t_{Wsu}	132	358	574	800	1251	1477	1713
	t_{Wh}	597	996	905	838	563	425	577
	t_{Rsu}	1784	1383	-207	-308	90	189	1778
	t_{Rh}	583	984	1975	2076	1678	1579	589

Заключение

Таким образом, развитая в данной работе методика учета особенностей трассировки при анализе временных соотношений для сигналов, распространяющихся в быстродействующих цифровых модулях при синхронном обмене данными, обеспечивает возможность оценки работоспособности для выбираемых вариантов проектирования.

Литература

1. Kyle Castille. TMS320C6000 EMIF-to-External SDRAM Interface. Application Report.
2. SPRA433D. Texas Instruments, March 2004. P. 76.
3. CDCLVC11xx Data Sheet. Texas Instruments, May 2010. P. 2.

ANALYSIS OF TIME RELATION FOR SIGNALS IN DESIGN DIGITAL MODULES AND AVAILABILITY ESTIMATION

Kuzin A.A., Pluzhnikov A.D., Pribludova E.N., Sidorov S.B.

Technique of route singularity accounting with analysis of time relation for signals propagating in high-speed digital modules with synchronous data exchange is devised. The matrix route definition for the system bus and the system clocking is proposed. The application example of devised technique for the analysis of multiprocessor cluster designed with purpose of the use for advanced processing of the large information volume is considered.

НАУЧНОЕ НАПРАВЛЕНИЕ:

Обработка и передача информации в системах телекоммуникаций

Секция 5: Обработка и передача изображений

Обсуждение актуальных проблем обработки и передачи изображений велось по трем основным направлениям: сжатие и кодирование изображений, фильтрация, анализ и моделирование, распознавание образов в обработке изображений.



На секции обсуждались следующие актуальные научные проблемы:

- техническое зрение;
- восстановление текстуры;
- нелинейная фильтрация изображения;
- сегментация изображения;
- оценка уровня шума;
- повышение разрешения;
- анализ применения фрактальных размерностей;
- стабилизация видеопоследовательностей;
- распознавание образов;
- локализация изображения руки и уголков глаз;
- система идентификации по личной подписи;
- оценка качества совмещения изображений;
- обнаружение движущихся объектов и определение их параметров;
- обнаружение прямолинейных границ;
- система видеопозиционирования;
- компенсация движения;
- сжатие изображения при наличии помех;
- фрактальное кодирование;
- сегментация символов номерного знака;
- трехмерный стереоанализ;
- синтез графа трехмерной сцены.