

РЕАЛИЗАЦИЯ ЦИФРОВОЙ ОБРАБОТКИ СИГНАЛОВ ПЕРЕМЕННОЙ ТОЧНОСТИ НА ПЛИС

Вычужанин В.В., доцент «кафедры Информационных технологий» Одесского национального морского университета, e-mail: vint532@yandex.ru

Сегодня проектировщики для реализации сложных алгоритмов цифровой обработки сигналов (ЦОС) применяют программируемые логические интегральные схемы (ПЛИС). Такому подходу способствуют развитие технологии программируемой логики, сопровождаемое как появлением новой номенклатуры ПЛИС, так и открывающимися возможностями реализации новых классов алгоритмов с различными требованиями к точности систем ЦОС.

Регулярный рост производительности современных ПЛИС в настоящее время происходит за счет уменьшения линейных размеров элементарных вентилей, выполняемых сегодня по 28 нм технологии [1]. Это дает производителям ПЛИС возможность увеличивать количество конфигурационных логических блоков в кристалле и приводит к значительному снижению стоимости кристаллов ПЛИС. Такая тенденция сохранится и в дальнейшем, стимулируя увеличение производительности вычислительных средств, осуществляющих ЦОС, что приведет к дальнейшему развитию применений ЦОС в различных областях радиолокации и гидролокации, медицинской визуализации изображений, цифровом аудио- и телевизионном вещании и т.д. Неотъемлемой частью этого процесса будет увеличение доли ПЛИС как основы для решения задач ЦОС, требующих обеспечения высокой помехоустойчивости систем обработки данных, необходимой точности и разрешающей способности, простого сопряжения подсистем обработки сигналов, стабильности параметров тракта обработки информации.

В различных технических приложениях для высокопроизводительной цифровой обработки сигналов (радиолокационные системы, беспроводные станции связи, медицинские приложения с высокоточной фильтрацией) часто необходима точность ЦОС выше, чем обычный диапазон в 18 бит. Требования к точности варьируются, прежде всего, на стадиях проектирования КИХ-фильтров, при реализации быстрого алгоритма вычисления дискретного преобразования в БПФ, при обработках адаптивных алгоритмов фильтрации и т.д.

Используемая в ряде ПЛИС DSP архитектура 18x18 или 18x25 фиксированной точности не позволяет обеспечить качественное функционирование КИХ-фильтров, а также реализацию БПФ. Использование DSP блока 18x25 для реализации операции 9x9 или каскадное включение нескольких блоков DSP невысокой точности для поддержания более точного режима ЦОС повышает энергоемкость подобных решений [1,2,3].

Обеспечить высокоточный режим ЦОС можно на основе применения DSP блоков переменной точности. На рис. 1 показана блок-схема КИХ-фильтра, состоящая из умножителей, элементов задержки (регистров), сумматоров, реализованных с помощью DSP блоков переменной точности.

Проводится исследование использования ПЛИС для осуществления алгоритмов ЦОС переменной точности в системах передачи и обработки. Рассматривается обобщенная блок-схема КИХ-фильтра, реализация алгоритма вычисления дискретного преобразования в БПФ на ПЛИС. Показана целесообразность использования алгоритмов КИХ-фильтров, БПФ с переменной точностью при реализации на ПЛИС.

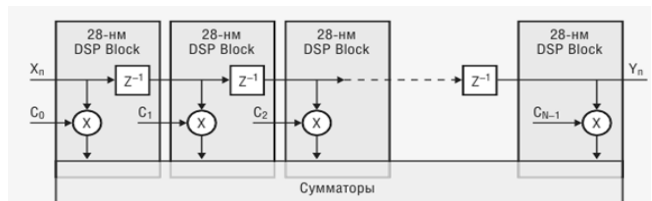


Рис. 1. Блок-схема КИХ-фильтра на DSP блоках

Следует отметить, что DSP блок при суммировании в режиме работы фиксированной 18-битной точности может быть настроен также и на умножение в автономном (независимом) режиме, как это показано на рис. 2. Однако в этом случае выходное разрешение не превышает 32 бит.

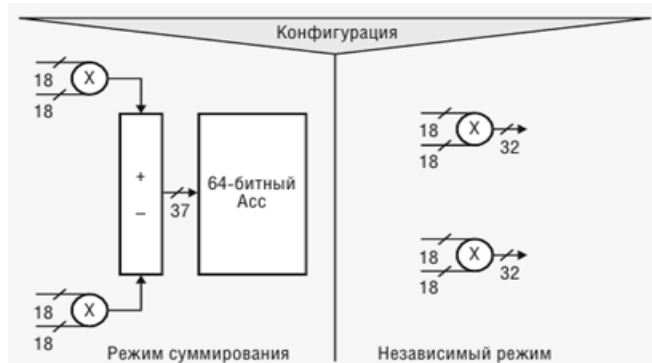


Рис. 2. Конфигурации DSP блока 18-битной точности

В режиме высокой точности следует настраивать каждый DSP блок переменной точности для реализации умножителя 27x27 или 18x36 так, как это показано на рис. 3.

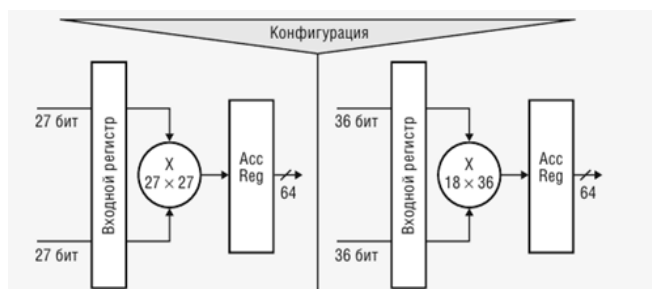


Рис. 3. Конфигурации DSP блока для режима работы высокой точности

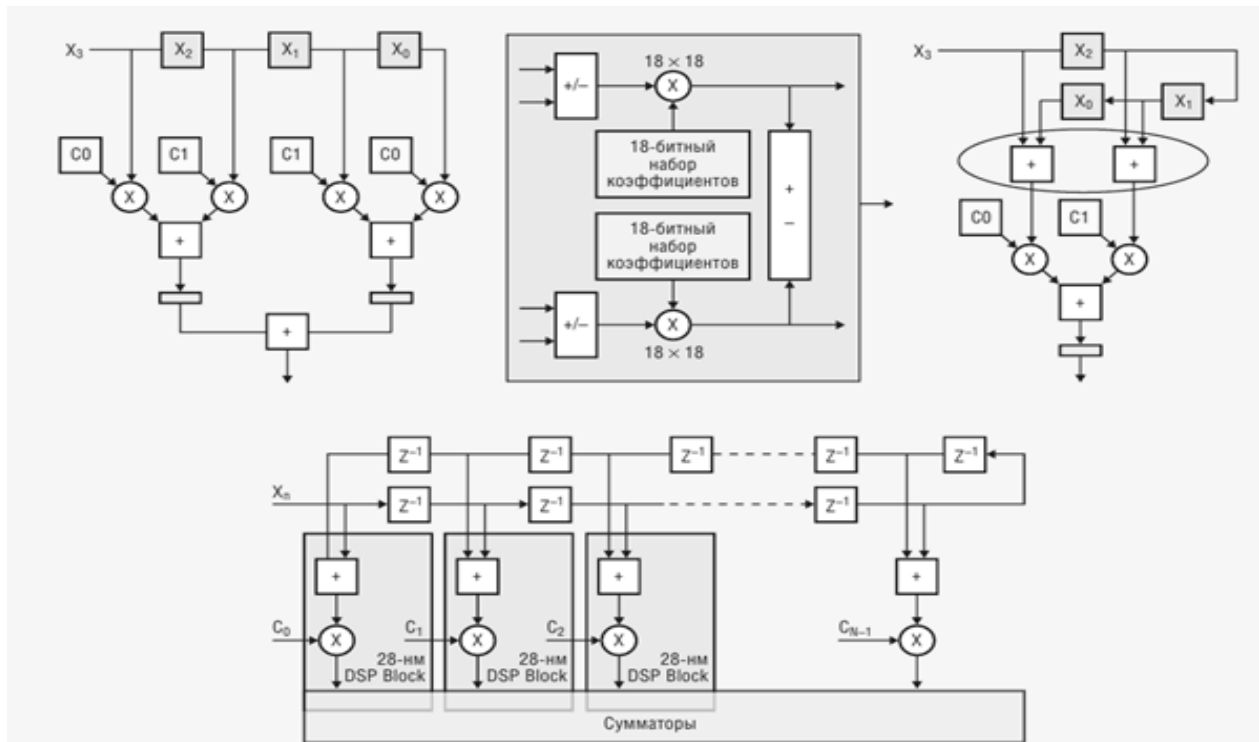


Рис. 4. Реализация симметричных КИХ-фильтров прямой формы в DSP блоке

Таким образом, конфигурацию каждого DSP блока переменной точности можно настроить с помощью двойного умножителя 18х18-бит (рис. 2) или высокоточного 27х27-разрядного умножителя (рис. 3). DSP блок выполняет различные операции умножения для каждого режима с точностью, как это показано в табл. 1.

Таблица 1

Точность режимов, поддерживаемых DSP блоком

Точность режима	Применение
3 независимых 9х9 режима	Низкая точность при фиксированной точке
2 суммирования 18х18 режима	Средняя точность при фиксированной точке
2 независимых 18х18 режима с разрешением 32-bit	Средняя точность при фиксированной точке
1 независимый 18х25 или 18х36 режим	Высокая точность при фиксированной точке
1 независимый 27х27 режим	Высокая точность при фиксированной точке или одинарная точность при плавающей точке

В DSP блоке переменной точности функции предварительного сумматора жестко закреплены внутри блока. При этом как предварительный сумматор, так и умножитель являются частью структуры сумматора, реализуемой в рамках DSP блока, а элементы задержки реализованы с использованием регистров за пределами DSP блока. Предварительные сумматоры в основном используются для построения симметричных КИХ-фильтров. Такая структура сумматора в DSP блоке переменной точности при реализации симметричных КИХ-фильтров прямой формы позволяет в два раза уменьшить число умножителей.

Для этого необходимо предварительно использовать две выборки данных с умножением их на общий коэффициент. В симметричных КИХ-фильтрах операции на двух умножителях можно заменить операцией, выполняемой на одном умножителе и одном сумматоре, как это показано на рис. 4. Точность выбранного режима определяется тем, будет использоваться двойной 18-битный или один 26-битный предварительный сумматор.

Алгоритм вычисления дискретного преобразования в быстрых преобразованиях Фурье в DSP блоке переменной точности реализуется с использованием комплекса умножителей. Причем DSP блок, оптимально поддерживая алгоритм вычисления дискретного преобразования в БПФ, реализует его в несколько этапов, обеспечивая тем самым более широкий динамический диапазон и низкий уровень шума. В целях обеспечения широкого динамического диапазона и низкого уровня шума при реализации алгоритма БПФ устанавливаются повышенные требования к точности DSP блока только со стороны умножителя. Для приложений высокой точности, в частности БПФ с плавающей точкой при использовании комплекса умножителей 27х27, необходим каскад из четырех DSP блоков переменной точности, настроенных в режим высокой точности.

Реализация рассмотренных алгоритмов ЦОС успешно может быть осуществлена в ПЛИС архитектуры FPGA. В 2010 г. фирма Altera представила ПЛИС семейства Stratix V (модели: Stratix V GT, Stratix V GX, Stratix V GS, Stratix V E) архитектуры FPGA, спроектированные по 28-нм техпроцессу [1,4]. В новой версии САПР Quartus II v 10.0 добавлена поддержка ПЛИС семейства Stratix V.

В ПЛИС для повышения точности обработки цифровых сигналов используется DSP блок переменной точности с 64-битной каскадной

шиной. Кроме того, в ПЛИС Stratix V имеются: 64-разрядный сумматор-накопитель; каскад сумматоров для реализации систолических КИХ-фильтров. Предусмотрены возможности увеличения числа независимых операций умножения, а также поддержка операций с плавающей точкой удвоенной точности. Использование 64-битной каскадной шины и сумматора-накопителя в ПЛИС Stratix V FPGA позволит поддерживать несколько уровней точности ее DSP блока. Архитектурные решения Stratix V обеспечивают реализацию структур высокопроизводительных КИХ-фильтров и БПФ.

В DSP блоке накопитель является неотъемлемой частью многих операций ЦОС. Его наличие способствует обеспечению высокой точности вычислений. В Stratix V используются 64-разрядные накопители, каждый из которых необходим для подсчета операций умножения и сложения. Кроме того, данное устройство обладает способностью выполнять округления конечного результата накопления.

На рис. 5 приведены блок-схемы КИХ-фильтра на ПЛИС Stratix V, использующие DSP блок переменной точности для фиксированного (18-битной точности) и высокоточного режимов работы. Результаты исследования КИХ-фильтра на ПЛИС в САПР Quartus II представлены на рис. 6.

Применением DSP блоков переменной точности при реализации КИХ-фильтра на ПЛИС достигаются следующие возможности:

- встроенные предварительные сумматоры могут быть использованы при реализации симметричного фильтра, что позволяет уменьшить число умножителей в два раза;
- коэффициенты регистра-хранения используются для хранения коэффициентов фильтра внутри DSP блока, что позволяет экономить количество регистров и объем памяти, увеличить тактовую частоту фильтра;
- два уровня сумматоров в одном блоке позволяют построить КИХ – фильтр прямой формы;
- регистры на выходе DSP блока позволяют реализовать каскад систолического фильтра.

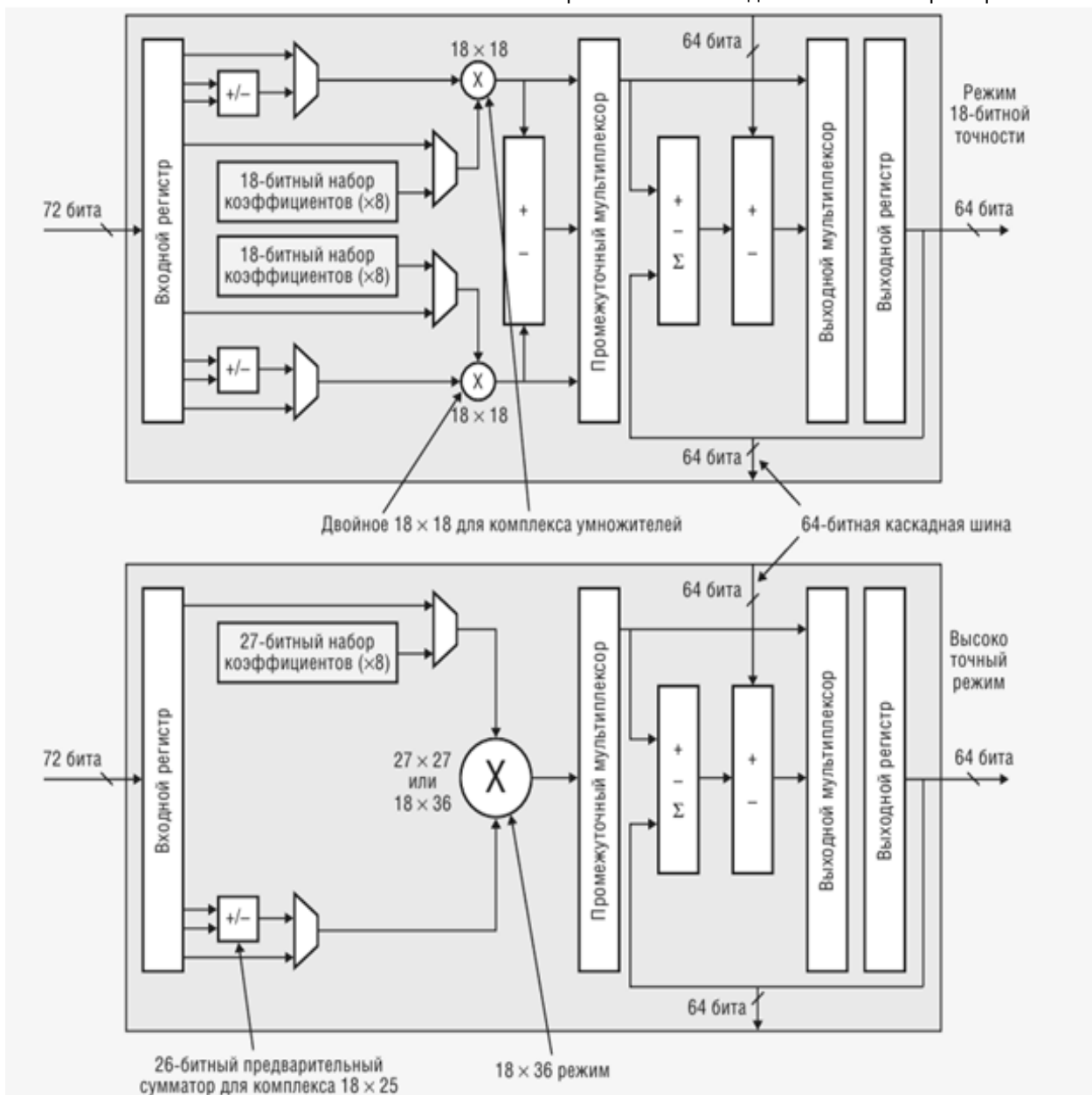


Рис. 5. Блок-схемы КИХ - фильтра на основе DSP блока переменной точности

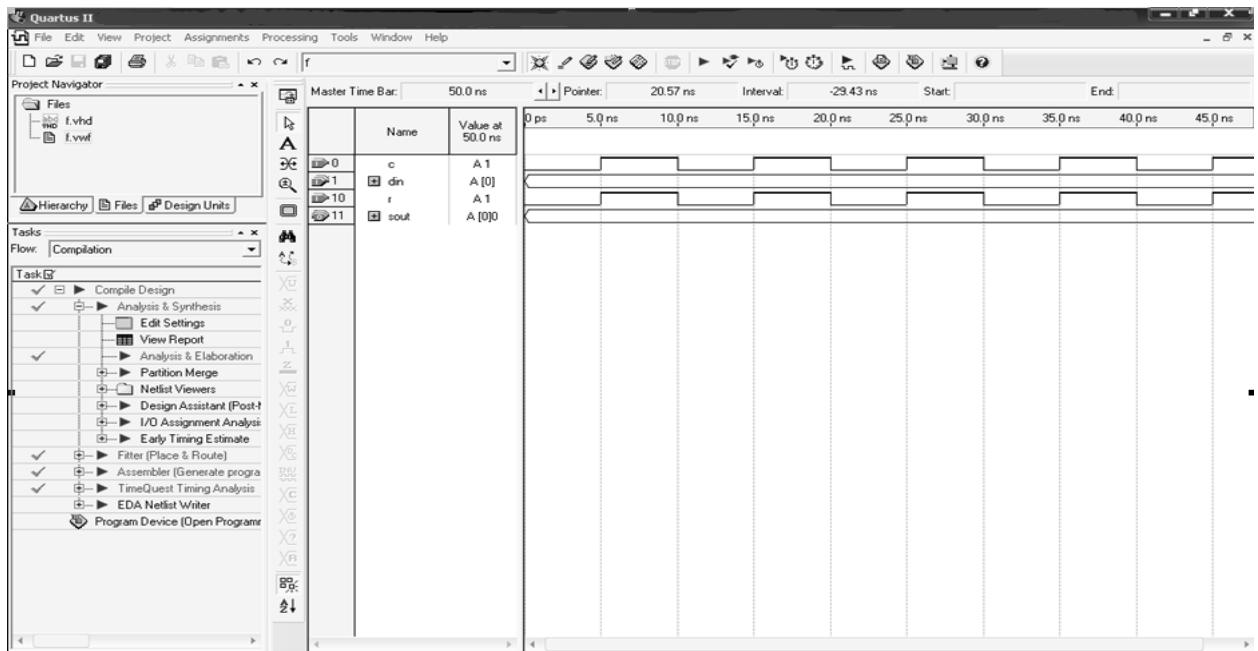


Рис. 6. Результаты моделирования КИХ – фильтра

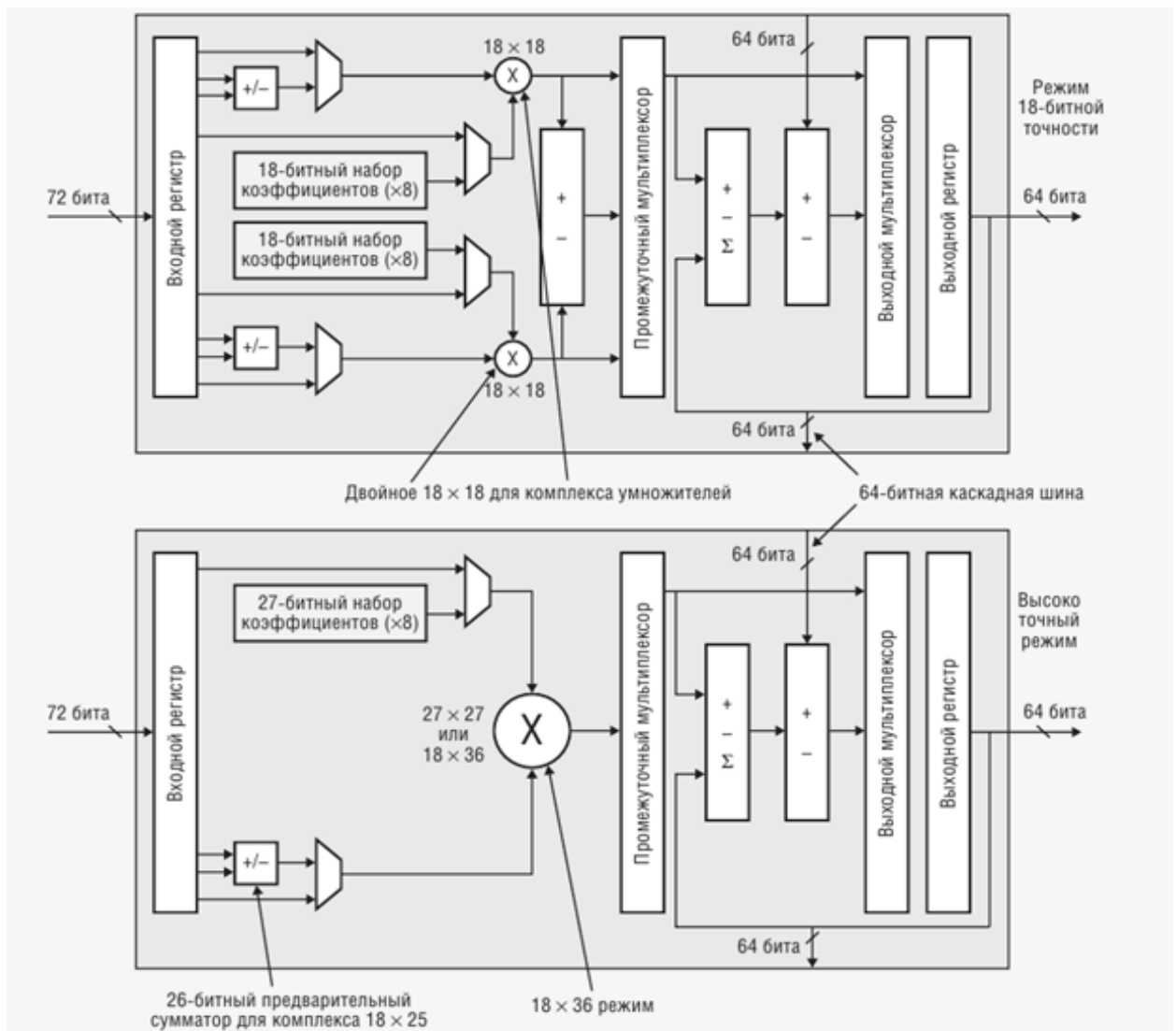


Рис. 7. Блок-схемы вычисления дискретного преобразования в БПФ на основе DSP блока переменной точности

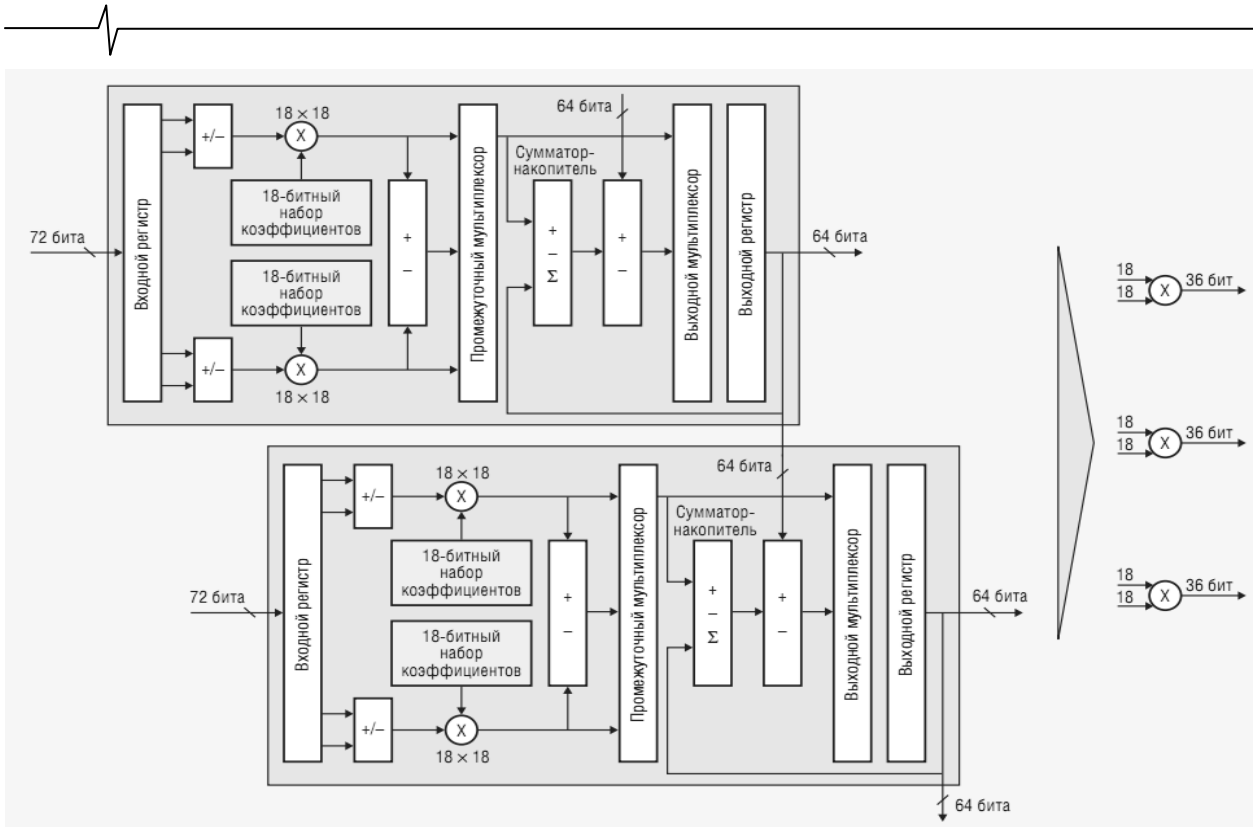


Рис. 8. Каскадное соединение двух блоков DSP переменной точности

В используемой архитектуре DSP блока для вычисления дискретного преобразования в БПФ применен 26-битный предварительный сумматор, позволяющий осуществить операции 18×25 . Возможность осуществить двойное 18×18 умножение позволяет получать действительные или мнимые числа в одном блоке. Реализация режима 18×36 обеспечивает высокую точность DSP блока (более широкий динамический диапазон и низкий уровень шума). Применение 64-разрядной каскадной шины позволяет соединять DSP блоки без потери точности. Особенности блок-схем реализации вычислений дискретного преобразования в БПФ на основе DSP блока переменной точности на ПЛИС Stratix V отражены на рис. 7.

Для расширения и поддержки необходимого диапазона точности используется каскадное соединение DSP блоков ПЛИС Stratix V посредством 64-битной каскадной шины. Использование подобного соединения в случае применения DSP блоков фиксированной точности при реализации, например трех независимых 18×18 умножителей требует четыре таких блока, а при использовании DSP блоков ПЛИС Stratix V для высокоточного режима необходимо только два блока с полным разрешением 36-бит (рис. 8).

Таким образом, при реализации алгоритмов ЦОС использование DSP блока переменной точности на ПЛИС Stratix V FPGA позволит обеспечить поддержание различных уровней точности, в том числе операции с плавающей точкой. Использование нескольких DSP блоков переменной точности не приводит к снижению точности алгоритмов цифровой обработки сигналов.

Разработчики устройств ЦОС могут в одном блоке реализовать сумматор 27×27 как для выполнения DSP приложений в высокоточных операциях с

фиксированной точкой, так и для дополнительных приложений DSP при осуществлении операций с плавающей точкой. Реализация КИХ-фильтров и БПФ структур с использованием схем DSP блоков переменной точности во многих случаях требует только половины ресурсов DSP по сравнению с конкурирующими решениями на DSP блоках фиксированной точности, что способствует снижению цены проектируемых устройств ЦОС.

Литература

1. 28-nm Variable-Precision DSP Block Architecture: <http://www.altera.com/technology/dsp/variable-precision/dsp-variable-precision.html>
2. Стешенко В.Б. ПЛИС фирмы Altera: элементная база, система проектирования и языки описания аппаратуры. – М.: Издательский дом «ДодэкаXXI», 2007. – С. 576.
1. Kevin Morris. A Perfect DSP Storm: BDTi + High Level Synthesis + FPGA / FPGA and Programmable Logic Journal. – №1. – 2010
4. Stratix V FPGAs: Built for Bandwidth: <http://www.altera.com/products/devices/stratix-fpgas/stratix-v/stxv-index.jsp>

IMPLEMENTATION OF DIGITAL SIGNAL PROCESSING VARIABLE PRECISION ON FPGA

V.V. Vychuzhanin

We study the use of FPGAs for DSP algorithms variable precision in data transmission systems and processing. The generalized block diagram of the FIR – filter realization algorithm for computing the discrete transformation in the FFT on the FPGA. The expediency of using algorithms FIR - Filter, FFT with variable accuracy accuracy for implementation on FPGAs.