

ДВУХКАНАЛЬНЫЙ БАНК ФИЛЬТРОВ НА ОСНОВЕ ЛЕСТНИЧНЫХ СТРУКТУР И АРИФМЕТИКИ С ФИКСИРОВАННОЙ ЗАПЯТОЙ ПЕРЕМЕННОГО ФОРМАТА

Родионов М.М., магистр, инженер-электроник, Белорусский государственный университет информатики и радиоэлектроники, post-rodmax@bsuir.by

Петровский А.А., к.т.н., доцент, Белорусский государственный университет информатики и радиоэлектроники

Ключевые слова: встраиваемые системы, двухканальный банк фильтров, многоскоростная обработка, фиксированная запятая.

Введение

На сегодняшний день востребованы и пользуются большой популярностью реализации мультимедиа приложений в виде встраиваемых систем. В качестве элементной базы для данного класса аппаратуры служат специализированные микропроцессоры, хотя более перспективным направлением является использование специализированных заказных БИС (ASIC) либо программируемых логических интегральных схем (ПЛИС), в частности с архитектурой FPGA. При проектировании данных цифровых систем, работающих в реальном масштабе времени, особое внимание уделяется таким показателям, как скорость вычислений, аппаратные затраты, сложность алгоритмов выполнения арифметических операций. По этой причине большинство устройств такого класса выполняются на основе арифметики с фиксированной запятой, которая позволяет получить хорошие результаты по перечисленным показателям.

Большой класс алгоритмов по обработке звуковой информации и графики базируется на анализе информации в частотной области, что приводит к необходимости использования преобразований, осуществляющих заданную частотно-временную декомпозицию сигнала. В связи с этим широкое распространение получили цифровые банки фильтров.

В данной работе представлен подход, ориентированный на аппаратную реализацию двухканального банка фильтров на основе лестничных структур (lifting scheme). Проведен анализ алгоритма с точки зрения реализации с использованием арифметики с фиксированной запятой с переменным форматом, предложен ряд аппаратных решений. В первую очередь предложенная архитектура может быть полезна при построении

Предложена архитектура двухканального банка фильтров на основе лестничных структур и арифметики с фиксированной запятой переменного формата, ориентированная на последующую реализацию в виде заказных СБИС (ASIC), а также на создание прототипов устройств на ПЛИС (в частности с архитектурой FPGA).

мультимедиа приложений реального времени, включающих в свой состав быстрое вейвлет преобразование, а также пакетное вейвлет преобразование [1].

Двухканальный банк фильтров на лестничных структурах

Под двухканальным банком фильтров будем подразумевать цифровой узел, выполняющий сепарирование входного сигнала $X(z)$ на низкочастотную $Y_L(z)$ и высокочастотную $Y_H(z)$ составляющие с последующей децимацией по основанию 2 в каждом канале (рис. 1 а). В большинстве приложений для выделения низкочастотных и высокочастотных компонент сигнала применяются НЧ и ВЧ КИХ фильтры $\tilde{h}(z)$ и $\tilde{g}(z)$, которые в терминах z -преобразования определяются следующими выражениями:

$$\tilde{h}(z) = \sum_{n=0}^{N-1} \tilde{h}_n z^{-n}, \quad (1)$$

$$\tilde{g}(z) = \sum_{n=0}^{N-1} \tilde{g}_n z^{-n}, \quad (2)$$

где \tilde{h}_n , \tilde{g}_n – коэффициенты фильтров $\tilde{h}(z)$ и $\tilde{g}(z)$.

Так как с выходов фильтров выбирается только каждый второй отсчет, а остальные игнорируются (децимация по основанию 2), данное обстоятельство делает возможной реализацию эффективных структур на базе КИХ-фильтров, работающих на вдвое меньшей частоте относительно частоты входного сигнала. Такие структуры впервые были предложены в работе [2] и получили название полифазные.

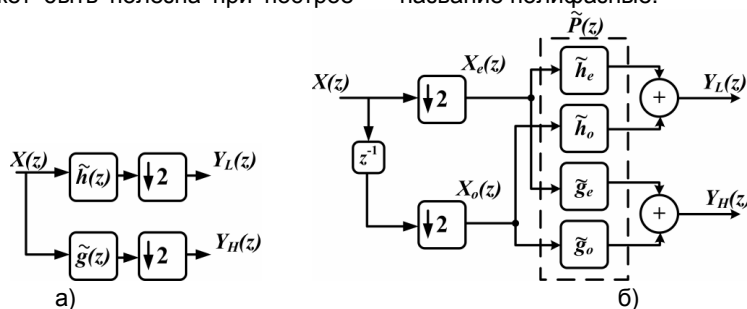


Рис. 1. Структурная схема прямой (а) и полифазной (б) реализации двухканального банка фильтров.

Блок-схема полифазной реализации двухканального банка фильтров изображена на рис. 1 б. Выходные значения $Y_L(z)$ и $Y_H(z)$ можно получить из следующего выражения:

$$\begin{bmatrix} Y_L(z) & Y_H(z) \end{bmatrix} = \begin{bmatrix} X_e(z) & z^{-1} X_0(z) \end{bmatrix} \tilde{\mathbf{P}}. \quad (3)$$

В данном выражении $X_e(z)$, $X_0(z)$, – представления в z -области двух последовательностей, состоящих из четных и нечетных отсчетов входного сигнала, а $\tilde{\mathbf{P}}$ – полифазная матрица, формируемая на основе $\tilde{h}(z)$, $\tilde{g}(z)$ фильтров, следующим образом:

$$\tilde{\mathbf{P}} = \begin{bmatrix} \tilde{h}_e(z) & \tilde{g}_e(z) \\ \tilde{h}_0(z) & \tilde{g}_0(z) \end{bmatrix}, \quad (4)$$

где $\tilde{h}_e(z)$, $\tilde{h}_0(z)$ и $\tilde{g}_e(z)$, $\tilde{g}_0(z)$ – полифазные компоненты фильтров $\tilde{h}(z)$, $\tilde{g}(z)$ соответственно. Ниже записаны выражения для представления полифазных компонент $\tilde{h}_e(z)$, $\tilde{h}_0(z)$ с использованием коэффициентов фильтра $\tilde{h}(z)$ из (1).

$$\tilde{h}_e(z) = \sum_{n=0}^{N/2-1} \tilde{h}_{2n-1} z^{-n}, \quad (5)$$

$$\tilde{h}_0(z) = \sum_{n=0}^{N/2-1} \tilde{h}_{2n} z^{-n}. \quad (6)$$

Полифазная реализация позволяет понизить частоту тактирования банка, но при этом число арифметических операций остается таким же как в прямой реализации. В работах [3],[4] предложен подход, позволяющий перейти к построению банка фильтров на основе лестничных структур (lifting scheme). Для перехода к предложенной архитектуре осуществляется факторизация полифазной матрицы $\tilde{\mathbf{P}}$ (4), т.е. разложение на более простые треугольные матрицы, называемыми элементарными шагами.

$$\mathbf{S} = \begin{bmatrix} 1 & s(z) \\ 0 & 1 \end{bmatrix}, \quad (7)$$

$$\mathbf{T} = \begin{bmatrix} 1 & 0 \\ t(z) & 1 \end{bmatrix}. \quad (8)$$

Применяя алгоритм Евклида и ряд относительно несложных матричных преобразований [4], можно представить полифазную матрицу (4) в виде:

$$\tilde{\mathbf{P}} = \prod_{i=1}^{I/2} \left(\begin{bmatrix} 1 & s_i(z) \\ 0 & 1 \end{bmatrix} \begin{bmatrix} 1 & 0 \\ t_i(z) & 1 \end{bmatrix} \right) \begin{bmatrix} K_1 & 0 \\ 0 & K_2 \end{bmatrix}, \quad (9)$$

где $s_i(z)$ и $t_i(z)$ – полиномы малого порядка, I – число элементарных треугольных матриц, полученных в результате факторизации полифазной матрицы; K_1, K_2 вещественные коэффициенты.

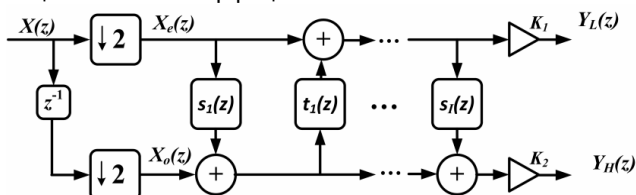


Рис 2. Блок-схема двухканального банка фильтров на основе лестничных структур.

В результате анализа алгоритма факторизации с использованием среды MATLAB общий вид для полиномов $s_i(z)$ и $t_i(z)$ (7)-(9) может быть сведен к выражению вида $(b_0 + b_1 z^u) z^v$, где b_0, b_1 – вещественные коэффициенты, u – целое значение степени z .

В итоге для банка фильтров на лестничных структурах число умножений составит $N_{mul} = N + 2$ и число сложений $N_{add} = N$, где N – число коэффициентов исходного фильтра $\tilde{h}(z)$, что почти вдвое меньше по сравнению с прямой реализацией ($N_{mul} = 2N$ и $N_{add} = 2(N - 1)$).

Реализация архитектуры на арифметике с фиксированной запятой переменного формата

Данные, поступающие на вход банка фильтров, представляются в формате с фиксированной запятой в дополнительном коде и принимают значения в диапазоне $[-1,1)$. Коэффициенты b_0 и b_1 , полученные в результате факторизации полифазной матрицы (4), могут выходить за пределы диапазона $[-1,1)$. Это в свою очередь приводит к снижению входного динамического диапазона, если использовать арифметику с фиксированной запятой для кодирования только дробных чисел. Поэтому в данной работе для реализации алгоритма на арифметике с фиксированной запятой использована методология, предложенная в [6],[7], на основании которой в разных узлах алгоритма варьируется формат данных, т.е. число бит, отводимых под целую и дробную части слова. В соответствии с данным подходом любое число, представленное в формате с фиксированной запятой в дополнительном коде, задается в виде выражения:

$$a = ma \cdot 2^{exp_a}, \text{ где } ma = (-1)^s + \sum_{i=0}^{wl-2} a_i \cdot 2^{i-wl+1}. \quad (10)$$

Здесь ma – само значение числа, представленное в дополнительном коде, интерпретируемое как дробное в диапазоне $[-1,1)$, exp_a – это порядок масштабирующего множителя 2^{exp_a} , a_i – это значения соответствующих битов числа, равные 0 либо 1; s – знаковый бит; wl – разрядность слова (рис. 3).

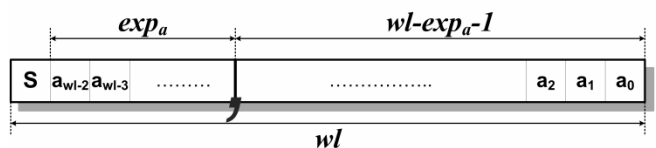


Рис.3. Представление числа в арифметике с фиксированной запятой.

Для заданного в (10) формата данных операции сложения (рис. 4 а) и умножения (рис. 4 б) чисел a и b задаются как

$$c = a + b = mc \cdot 2^{exp_c} = (ma \cdot 2^{exp_a - exp_b} + mb) \cdot 2^{exp_b}, \quad (11)$$

$$c = mc \cdot 2^{exp_c} = ma \cdot mb \cdot 2^{iwl_a + iwl_b}. \quad (12)$$

При этом в операции сложения множитель $2^{exp_a - exp_b}$ соответствует арифметическому сдвигу вправо для «выравнивания» битов с одинаковыми весами в операциях ma и mb .

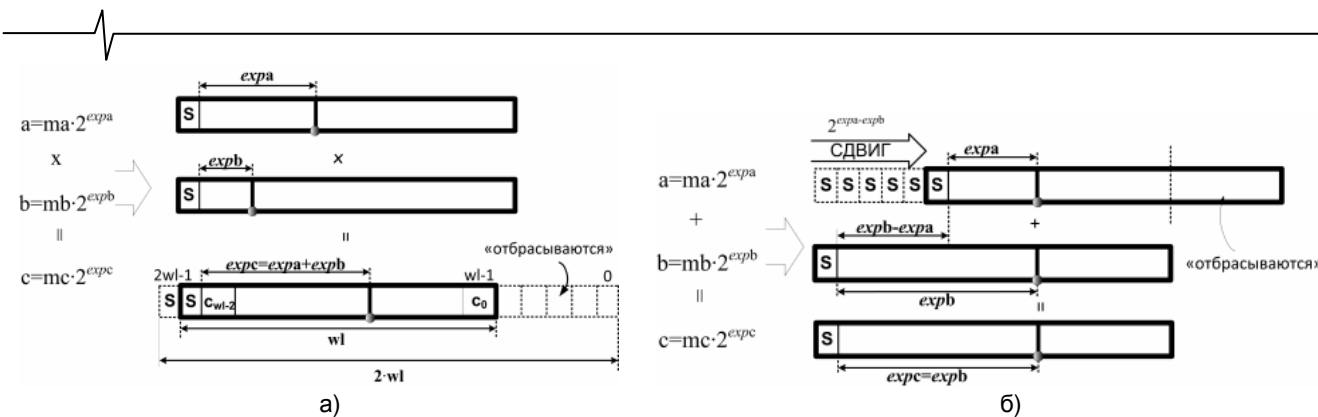


Рис. 4. Выполнение операций а) умножения и б) сложения.

На основании (10) можно отметить, что значения $ma, mb \in [-1, 1)$, поэтому операцию $ma - mb$ можно выполнять по правилам умножения дробных чисел, представленных в дополнительном коде. Тогда результат умножения будет иметь длину слова равную $2 \cdot wl$, при этом первый значащий бит сместится на одну позицию вправо. Таким образом, корректное значение ma для выбранной длины слова wl будет расположено в разрядах, начиная с $wl - 1$ по $2wl - 2$.

Основной шаг лестничной структуры двухканального банка фильтров на арифметике с фиксированной запятой может быть представлен в виде блок-схемы, изображенной на рис. 5. На вход рассматриваемой схемы поступают данные $X_e(n)$ и $X_0(n)$ с одинаковой разрядностью, но с различным числом бит отведенных под целую часть числа.

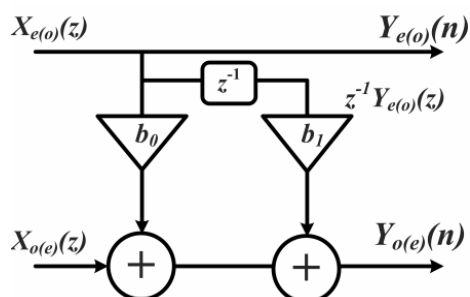


Рис. 5. Блок-схема основного шага в двухканальном банке фильтров на лестничных структурах.

Для выполнения арифметических вычислений необходимо выполнить квантование (перевод из формата с плавающей запятой в формат с фиксированной запятой) коэффициентов b_0 и b_1 . В данной работе было принято решение осуществить квантование на основе предложенного выражения:

$$b = m_b \cdot 2^{exp_b}, |m_b| \in [0.5; 1], exp_b \in Z. \quad (13)$$

В сущности, при переводе из формата с плавающей запятой в формат с фиксированной запятой значению m_b присваивается мантисса исходного коэффициента, заданного в формате с плавающей запятой, а параметру exp_b сопоставляется порядок этого значения. Данный способ позволяет сохранить наибольшую точность при переводе числа для выбранной длины слова.

Как видно из рис. 5, основным функциональным блоком (рис. 6) является умножение одной входной переменной на постоянный коэффициент и последующее сложение получившегося результата со второй входной переменной.

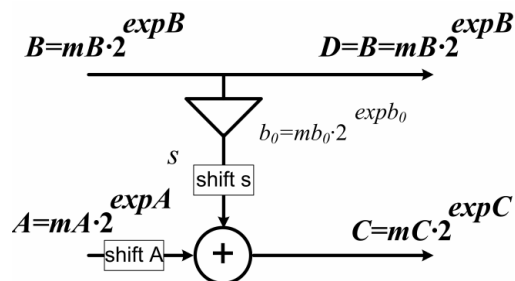


Рис. 6. Основной функциональный блок банка фильтров.

Ниже приведены выражения для расчета промежуточных и выходных значений в данном функциональном блоке.

Расчет параметров результата умножения $s = B \cdot b_0$:

$$m_s = m_B \cdot m_{b_0}, \quad (14)$$

$$exp_s = exp_B + exp_{b_0}. \quad (15)$$

Расчет параметров выходной переменной $C = A + s$:

$$exp_C = \max(exp_A, exp_s), \quad (16)$$

$$m_A = m_A \cdot 2^{exp_C - exp_A} + m_s \cdot 2^{exp_C - exp_s}. \quad (17)$$

В итоге вся процедура расчета сводится к вычислению двух арифметических операций над дробными знаковыми числами, представленными в дополнительном коде:

- произведение (14) входного значения m_B на константу m_{b_0} ;

- сложение (17) результата умножения m_s и второго входного значения m_A , причем операнд с меньшим значением порядка масштабирующего множителя предварительно подвергается арифметическому сдвигу вправо на $exp_C - exp_A (exp_s)$ бит.

Рассмотрим следующий пример. Возьмем параметры первого шага лестничной структуры для фильтра Добеши Db-4 [8] (табл. 1): $s_1(z) = b_0 = -3,1029_{-1}$. После квантования параметры коэффициента b_0 будут равны $m_{b_0} = -0,7757$ и

$exp_{b_0} = 2$. Так как на первом шаге лестничной структуры на вход поступают последовательности $X_e(z)$ и $X_o(z)$, состоящие из четных и нечетных отсчетов входного сигнала $X(z)$, то для них $exp_{x_e} = exp_{x_o} = exp_x = 0$, а параметры $m_{x_e}, m_{x_o} \in [-1; 1]$ есть сами значения входных данных. На основе формул (14) – (17), принимая, что $A = X_o$, а $B = X_e$ получим, что $exp_c = 2$. Поэтому перед операцией сложения необходимо произвести арифметический сдвиг вправо операнда m_{x_o} на 2 разряда (см. рис. 7).

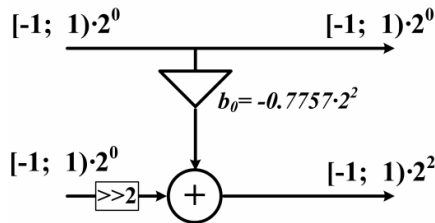


Рис. 7. Реализация на арифметике с фиксированной запятой первого шага двухканального банка фильтров для Db-4.

В итоге, продвигаясь от первого шага лестничной структуры до последнего, мы можем рассчитать значения порядков масштабирующих коэффициентов для всех узлов схемы, а также определить параметры арифметических сдвигов для операндов перед операцией суммирования.

Таким образом, для реализации рассматриваемого алгоритма при использовании арифметики с фиксированной запятой необходимо выполнить следующие действия: квантование коэффициентов лестничных структур b_0, b_1 в соответствии с формулой (13), расчет параметров арифметического сдвига операндов перед выполнением операции суммирования.

Последней операцией при расчете выходных значений в банке является умножение на матрицу, состоящую из коэффициентов усиления K_1, K_2 (9). Данную операцию (рис. 8) можно представить в виде следующих выражений:

$$Y_L = m_{Y_L} \cdot 2^0 = m_A \cdot m_{K_1} \cdot 2^{exp_A + exp_{K_1}}, \quad (18)$$

$$Y_H = m_{Y_H} \cdot 2^0 = m_B \cdot m_{K_2} \cdot 2^{exp_B + exp_{K_2}}, \quad (19)$$

Порядок масштабирующих множителей exp_{Y_L}, exp_{Y_H} для выходных значений Y_L и Y_H равен 0, так как общая схема алгоритма рассчитана так, что имеет место коэффициент усиления, не превышающий единицы на всем частотном диапазоне, т.е. вес старшего разряда в выходном слове равняется 2. Это в свою очередь должно означать, что $exp_A + exp_{K_1} = exp_B + exp_{K_2} = 0$, однако в действительности выражения $exp_A + exp_{K_1} (exp_B + exp_{K_2}) \geq 0$.

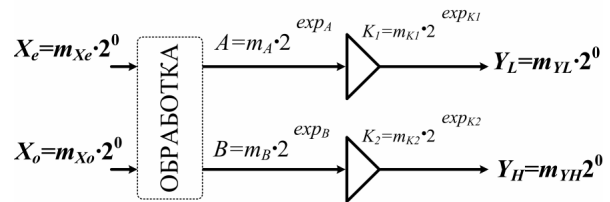


Рис. 8. Схема умножения на матрицу коэффициентов K_1, K_2 .

Таким образом, для того чтобы получать на выходе двухканального банка фильтров значения с длиной слова, равной wl и весом старшего бита 2^0 , был использован следующий прием. В результате перемножения значений A и K_1 (B и K_2) мы получаем значения с разрядностью $2 \cdot wl$ и весом старшего бита $2^{1+exp_A+exp_{K_1}}$ ($2^{1+exp_B+exp_{K_2}}$). Поскольку выходные значения лежат в интервале $[-1; 1]$, то разряды с $2wl-1$ по $2wl-1-exp_A-exp_{K_1}$ ($2wl-1-exp_B-exp_{K_2}$) не являются значащими, и лишь «расширяют» знаковый бит (рис. 9). Выходной результат для умножения $Y_L = A \cdot K_1$ располагается в разрядах с $2wl-2-exp_A-exp_{K_1}$ по $wl-1-exp_A-exp_{K_1}$, и в разрядах с $2wl-2-exp_B-exp_{K_2}$ по $wl-1-exp_B-exp_{K_2}$ для $Y_H = B \cdot K_2$.

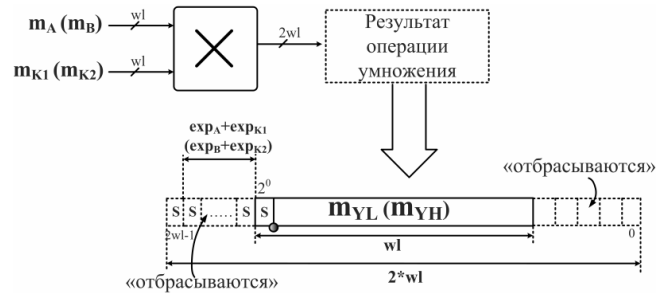


Рис. 9. Формирование выходного значения $Y_L (Y_H)$ из результата операции умножения значений A и $K_1 (B$ и $K_2)$.

Таким образом, выражения (13) – (19) определяют математическую модель двухканального банка фильтров для арифметики с фиксированной запятой переменного формата.

Рассмотрим пример, в котором производится расчет параметров банка фильтров на лестничных структурах для фильтров Добеши Db-4 (8-коэффициентов). В табл. 1 приведены рассчитанные параметры для коэффициентов b_0, b_1 . Коэффициенты K_1 и K_2 для рассматриваемого примера равны 2,6131 и 0,3827 соответственно.

Таблица 1.

Параметры лестничной структуры для исходных вейвлет фильтров Db-4.

Номер шага ЛС, i	Тип	u	b_0^i			b_1^i		
			значение	mb_0	exp_{b_0}	значение	mb_1	exp_{b_1}
1	$s_1(z)$	0	-3,1029	-0,7757	2	0	0	-

2	$t_2(z)$	1	-0,0763	-0,6104	-3	0,2920	0,5840	-1
3	$s_3(z)$	-1	5,1995	0,6499	3	-1,6625	-0,8313	1
4	$t_4(z)$	3	3,1769	0,7942	2	0,0379	0,6064	-4
5	$s_5(z)$	-3	0,3141	0,6282	-1	0	0	-

Структурная схема банка для данного примера изображена на рисунке рис. 10. Так как реализуемый банк является казуальной системой, т. е. в определенный момент времени значение выходного отсчета зависит только от текущего и предыдущих входных значений (в случае нерекурсивных систем), то между элементарными шагами лестничной структуры введены элементы задержки для «компенсации» положительных степеней от переменной z .

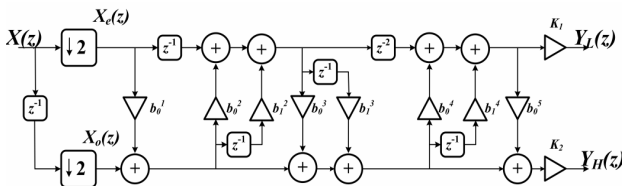


Рис. 10. Блок схема двухканального банка для примера с Db-4(табл. 1).

На рис. 11 показано, как меняется формат данных после каждого шага лестничной структуры банка для рассматриваемого примера.

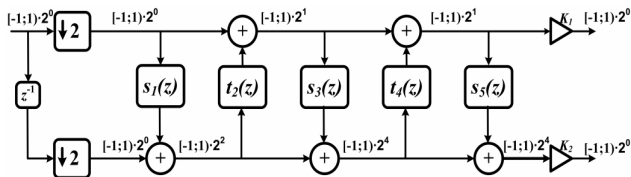


Рис. 11. Изменение формата промежуточных данных в банке фильтров для примера с Db-4.

Структурная схема банка фильтров на лестничных структурах

Для практического применения в различных мультимедиа приложениях предлагается следующая обобщенная параметризованная структура двухканального банка фильтров рис. 12, ориентированная прежде всего на реализацию в виде заказных СБИС (ASIC), а также для создания прототипов устройств на ПЛИС (в частности с архитектурой FPGA).

Входной сигнал $X(z)$, поступающий в систему, разбивается на четные и нечетные отсчеты с помощью трех входных регистров, после чего производится вычисление выходных значений сигналов $Y_L(z)$ и $Y_H(z)$ в процессорных элементах (ПЭ) и на выходных умножителях K_1, K_2 . Для реализации элементов задержки z , присутствующих в алгоритме после каждого ПЭ в верхнем и нижнем каналах, предусмотрены регистровые файлы, работающие по принципу FIFO. Данные блоки регистров также могут быть использованы для организации конвейерного процесса вычисления, что позволит повысить пропускную способность схемы.

Вся структура банка фильтров задается следующими параметрами:

- w_l – разрядность данных, поступающих на вход, и соответственно разрядность всех арифметических операций и буферов для хранения промежуточных результатов;

- I – число элементарных шагов лестничной структуры;

- $V_{PE}(i) \rightarrow \{id, type, b_0, ind_x, sh_{x1}, sh_{x2}, [sh_{s2}, b_1, delayed]\}$, $i = 1..I$ – массив из I векторов, каждый из которых задает параметры i -го элементарного шага лестничной структуры (сами параметры будут рассмотрены ниже);

- $V_{BUF}(i) \rightarrow \{d_{xe}, d_{x0}\}$, $i = 1..I$ – массив из I векторов, каждый из которых задает число элементов задержки d_{xe}, d_{x0} соответственно в верхнем и нижнем каналах после i -го элементарного шага;

- $V_K(i) \rightarrow \{K_1, K_2, n_{ye}, n_{y0}\}$ – вектор, задающий значения квантованных коэффициентов K_1 и K_2 , а также номера старших бит n_{ye}, n_{y0} , начиная с которых будут выданы результаты перемножения сигналов на коэффициенты K_1 и K_2 соответственно.

Ниже даны разъяснения для всех параметров, включенных в вектор $V_{PE}(i)$.

Параметр id – идентификатор, задающий один из двух типов процессорного элемента для реализации элементарного шага лестничной структуры: $id = 'PE0'$ при значении коэффициента $b_1 = 0$, в противном случае $id = 'PE1'$.

Параметр $type$ задает тип элементарного шага, реализуемого PE: $type = 's'$ если это прямой шаг (7), и $type = 't'$ если шаг дуальный (8).

Параметры b_0, b_1 могут принимать значения от «минус» 2^{-1} до «плюс» ($2^{-1} - 1$) и соответствуют значениям квантованных сигналов b_0, b_1 . В случае $id = 'PE0'$ параметр b_1 игнорируется.

Параметр ind_x представляет собой массив из трех чисел, принимающих значения 1,2, либо 3, и определяет порядок суммирования операндов для ПЭ с $id = 'PE1'$.

Параметры $sh_{x1}, sh_{x2}, sh_{s2}$ определяют число арифметических сдвигов для внутренних сигналов процессорного элемента X_1, X_2 и S_2 соответственно.

Для того чтобы разъяснить назначение параметра $delayed$, рассмотрим участок исходного алгоритма (рис. 13), на котором сначала выполняется прямой шаг $s(z) = b_0 + b_1 z$ и далее следует задержка сигнала z^{-1} . Как видно из рисунка, сигнал $z^{-1} Y_e(z)$, который должен быть на выходе всей схемы, уже сформирован внутри процессорного элемента. Поэтому при значении $delayed = 1$ на выход ПЭ выдается не сигнал $Y_e(z)$, а сигнал $z^{-1} Y_e(z)$, что позволяет сэкономить для данной схемы один регистр.

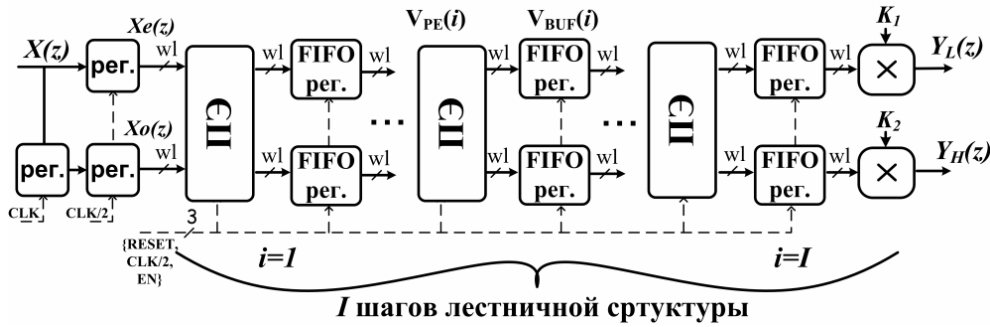


Рис. 12. Структурная схема двухканального банка фильтров на лестничных структурах.

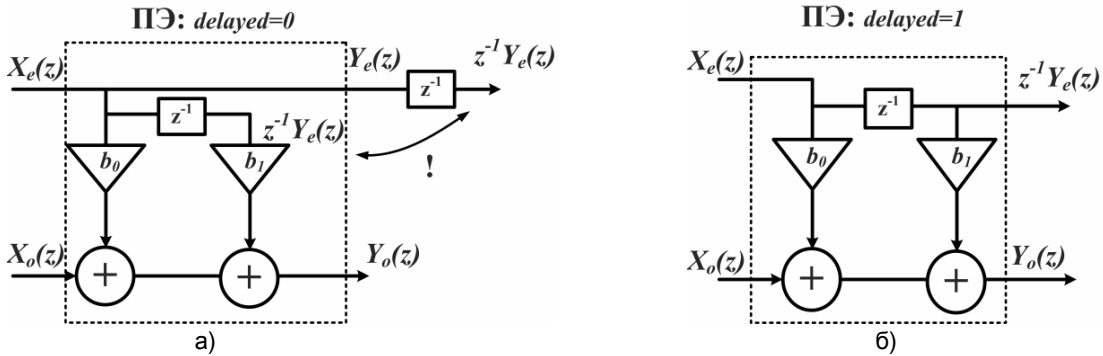


Рис. 13. Структура схема процессорного элемента PE при $delayed = 0$ (а) и $delayed = 1$ (б).

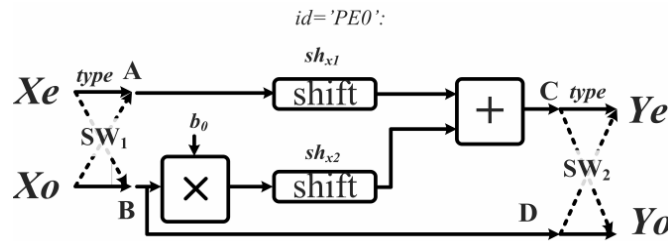


Рис. 14. Структурная схема процессорного элемента при $id = 'PE0'$.

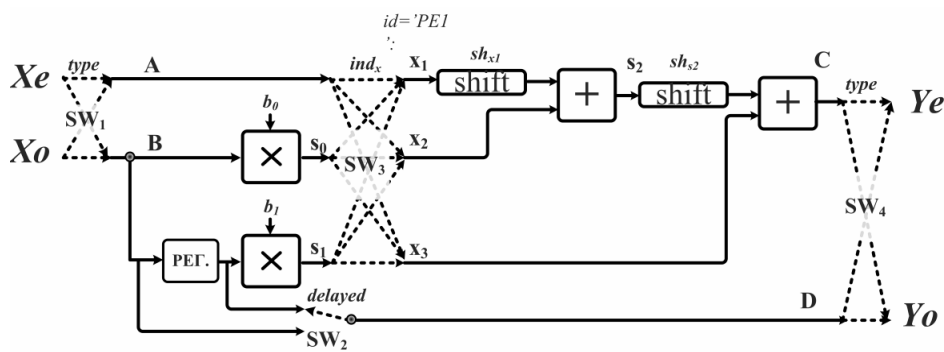


Рис. 15. Структурная схема процессорного элемента при $id = 'PE1'$.

Структурная схема процессорного элемента для случая $id = 'PE0'$ представлена на рис. 14, для $id = 'PE1'$ – на рисунке рис. 15.

Для ПЭ с $id = 'PE1'$ после двух операций перемножения необходимо выполнить суммирование трех операндов. Для увеличения точности вначале суммируются два операнда с меньшими значениями масштабирующих множителей, после чего результат данной суммы складывается с третьим операндом. очередность суммирования опреде-

ляется для каждого ПЭ и задается параметром ind_x .

Отметим, что блоки арифметического сдвига $shift$, а также «коммутаторы» SW_1, SW_2, SW_3, SW_4 не используют аппаратного ресурса системы. Операция арифметического сдвига вправо сводится к смещению сигнальных линий перед подачей их на вход сумматора. А указанные выше коммутаторы в соответствии с параметрами $type, ind_x, delayed$ реализуются в виде замыкания соответствующих линий.



Таким образом, процессорный элемент для случая $id = 'PE0'$ в конечном итоге будет реализован на одном сумматоре и одном умножителе, а процессорный элемент для $id = 'PE1'$ – на двух сумматорах, двух умножителях и регистре задержки. Все используемые элементы имеют разрядность равную wl .

Заключение

Предложенная в работе аппаратная реализация двухканального банка фильтров с использованием арифметики с фиксированной запятой переменного формата позволяет вести высокоскоростную обработку данных в реальном масштабе времени, что достигается благодаря использованию лестничной структуры и, как результат, сокращением числа арифметических операций. Вторая причина высокого быстродействия – применение арифметики с фиксированной запятой. Так для фильтров Добеши Db-6 при реализации на кристалле Virtex-4 xc4vlx25ff668-12 банк фильтров обрабатывает данные, поступающие с тактовой частотой 25 МГц, что при фреймовой обработке и наличии предварительной буферизации для данных (звуковой сигнал с частотой дискретизации 44,1 кГц), позволяет использовать лишь 0,17% от имеющегося временного ресурса, что тем самым высвобождает больше времени для субполосной обработки.

Следует отметить, что предложенная архитектура двухканального банка была применена в динамически реконфигурируемом процессоре пакетного дискретного вейвлет преобразования для аудио кодера [9].

Для быстрого прототипирования структур двухканального банка фильтров разработана среда проектирования в пакете MATLAB, которая осуществляет следующие операции: факторизация полифазной матрицы по заданным коэффициентам НЧ и ВЧ КИХ фильтров; трансляция алгоритма на арифметику с фиксированной запятой; генерирование VHDL-пакета, содержащего значения векторов V_{PE}, V_{BUF}, V_K . В конце файл пакета объединяется с файлами VHDL-описаний составных блоков архитектуры в синтезируемый проект верхнего уровня. Таким образом, данной средой осуществляется переход от фильтров исходного банка к аппаратному

прототипу архитектуры на лестничных структурах, описанному на языке VHDL.

Литература

1. Mallat, S. A wavelet tour of signal processing: 2nd edition / S. Mallat, – Academic Press, 1999 – 637 p.
2. Bellanger, M. Digital filtering polyphase network: Application to sample rate alteration and filter banks / M. Bellanger [and others] // IEEE Trans. Acoust., Speech and Signal Processing – 1977 – V.ASSP-24. – P. 109–114.
3. Sweldens, W. The lifting scheme: A construction of second generation wavelets / W. Sweldens // Siam J. Math. Anal. – 29 (2) (1997). – pp. 511-546.
4. Daubechies, I. Factoring wavelet transforms into lifting steps / I. Daubechies, W. Sweldens, // Journal of Fourier Anal. Appl. – vol. 4, N 3, 1998. – pp. 247-269.
5. Bultheel, A. Linear algebra, rational approximation and orthogonal polynomials / A. Bultheel, M. Van Barel – North-Holland – 1997 – 446 p.
6. Coors, M. Design and DSP implementation of fixed-point systems / M. Coors, and etc. // EURASIP journal on applied signal processing. – 2002:9 – pp. 908-925.
7. Menard, D. Floating-to-fixed-point conversion for digital signal processors / D. Menard, D. Chillet, O. Sentieys // EURASIP journal on applied signal processing. – 2006 Article ID 96421– pp. 1-19.
8. Daubechies, I. Orthogonal bases of compactly supported wavelets / I. Daubechies // Communications on pure and applied mathematics, – vol. 41, 1988 – pp. 909-996.
9. Petrovsky Al., Krahe D., Petrovsky A. Real-Time Wavelet Packet-based Low Bit Rate Audio Coding on a Dynamic Reconfiguration System / AES 114th conventional, Amsterdam, the Netherlands, 2003 March – 22 p.

THE LIFTING-BASED DUAL CHANNEL FILTER BANK USING FIXED-POINT VARIABLE FORMAT ARITHMETIC

Rodionov M.M., Petrovsky Al. A.

The realization of lifting-based dual channel filter bank by applying fixed-point variable format arithmetic for further ASIC or FPGA implementation is proposed.